



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

공학석사 학위논문

ALD로 증착한 zinc tin oxide (ZTO)
박막의 특성에 미치는 증착 온도의
영향 및 이를 적용한 박막 트랜지스
터의 동작 특성 연구

**Effect of deposition temperatures on the properties of
ZnSnO thin film grown by atomic layer deposition
and its application to TFTs**

2014년 8월

서울대학교 대학원

재료공학부 WCU 하이브리드재료 전공

김 준 식

ALD로 증착한 zinc tin oxide (ZTO)
박막의 특성에 미치는 증착 온도의
영향 및 이를 적용한 박막
트랜지스터의 동작 특성 연구
Effect of deposition temperatures on the properties of
ZnSnO thin film grown by atomic layer deposition
and its application to TFTs

지도 교수 황 철 성

이 논문을 공학석사 학위논문으로 제출함
2014년 7월

서울대학교 대학원
재료공학부 WCU 하이브리드재료 전공
김 준 식

김준식의 석사 학위논문을 인준함
2014년 7월

위 원 장 김 형 준

부위원장 황 철 성

위 원 한 승 우

(인)
(인)
(인)

초록

본 연구에서는 원자층 증착법(Atomic Layer Deposition, ALD)을 이용하여 증착한 ZTO 박막 및 ZTO 박막을 채널막으로 사용하는 박막 트랜지스터(Thin Film Transistor, TFT) 소자를 제작하여 이들의 물리적 특성 및 전기적 특성을 평가하였다. ALD는 각 원소 별 서브사이클(sub cycle)의 횟수를 달리하여 박막의 조성을 원하는 대로 정밀하게 조절할 수 있다는 장점이 있어 물질의 조성이 전기적 특성에 큰 영향을 주는 다성분계 산화물 반도체를 증착하는데 매우 적합한 공정이며, 우수한 conformality 특성을 가지므로 큰 단차를 가지는 구조에 균일하고 얇은 두께의 박막을 형성할 수 있다는 장점(high step coverage)이 있어 3차원의 구조의 차세대 반도체 소자의 제작에도 유리하다. ALD를 이용한 ZTO 박막의 증착은 ZnO 박막과 SnO₂ 박막을 증착하는 서브사이클로 구성되는 하나의 슈퍼 사이클을 여러 번 반복 시행함으로써 얻어지는데, 이 때 ZnO 박막과 SnO₂ 박막 각각의 서브사이클 시행 횟수 및 슈퍼 사이클 시행 횟수를 4 조절하여 원하는 Zn:Sn 조성비 및 원하는 두께를 가지는 ZTO 박막을 형성할 수 있었다. TFT 채널막으로서 가장 우수한 특성을 보인다고 알려진 Zn:Sn 조성인 1:1 조성의 박막을 증착 온도를 달리하여 증착하였고, 열처리에 따른 박막의 물성 변화를 다양한

분석법을 사용하여 분석하였다. 증착된 ZTO 박막은 증착 온도와 관계없이 우수한 균일도와 낮은 불순물 함량을 나타내었고, 증착 온도가 높을수록 높은 밀도의 우수한 박막이 형성됨을 확인할 수 있었다. 150 °C 에서 증착한 ZTO 박막은 매우 porous한 구조를 가짐이 XRR 및 AFM, SEM 측정을 통해 확인되었다. 또한 ZTO 박막을 채널막으로 하는 TFT를 photo lithography 공정을 통해 제작하였으며, 증착 온도 및 열처리 유무에 따른 TFT의 전달 특성을 평가하였다. 제작된 TFT의 전기적 특성은 250 °C 에서 증착하고 열처리를 거친 ZTO 박막을 사용하였을 때 $24.5 \text{ cm}^2/\text{Vs}$ 의 전계 이동도를 나타내며 우수한 특성을 나타낸 반면, 150 °C 에서 증착하고 열처리한 ZTO 박막을 적용한 TFT는 $\sim 1 \text{ cm}^2/\text{Vs}$ 의 포화 이동도를 보이며 좋지 않은 특성을 나타내었다. 채널막 증착 온도 150 °C 조건의 ZTO TFT의 이동도 저하 현상은 박막 내에 존재하는 pore에 의한 전기 전도도 감소에 기인하는 것으로 분석되었으며, 이를 percolation 이론을 통해 설명할 수 있었다.

주요어 : 원자층 증착법, 비정질 산화물 반도체, ZnSnO, TFT, 전자이동도, percolation 이론

학 번 : 2012-23929

목차

초록.....	i
목차.....	iii
List of Figures.....	v
List of Tables	viii
1. 서론	1
2. 문헌연구	4
2.1 비정질 산화물 반도체	4
2.1.1 Zinc Tin Oxide (ZTO)	7
2.1.2 ZTO 를 채널막으로 사용한 TFT 소자.....	8
2.2 원자층 증착법 (Atomic Layer Deposition, ALD).....	17
2.2.1 ALD 공정의 박막 성장 메커니즘.....	18
3. 실험방법	26
3.1 ALD 시스템	26

3.2 ALD 를 이용한 ZTO 박막의 증착	29
3.3 ZTO 박막을 채널막으로 적용한 TFT 제작	33
3.4 ZTO 박막 특성 및 ZTO TFT 동작 특성 분석	37
 4. 실험결과	 41
4.1 ALD 방법으로 증착한 ZTO 박막 분석	41
4.1.1 ZTO 박막의 ALD 증착 거동	41
4.1.2 ZTO 박막의 특성 분석	48
4.2 ZTO 박막을 채널막으로 적용한 TFT 의 동작 특성	59
 5. 결론	 71
 6. 참고문헌	 76
Abstract	79

List of Figures

Figure 2-1. Schematic orbital drawings for the carrier transport paths (that is, conduction band bottoms) in crystalline and amorphous semiconductors: (a) Covalent semiconductors and (b) Amorphous oxide semiconductors composed of post-transition-metal cations. ³

Figure 2-2. Typical ALD cycle with four steps of precursors feeding and purge.

Figure 2-3. Variations of growth rate as a function of deposition temperature.

Figure 3-1. Optical image of ZTO TFT of $T_{\text{dep}}=250\text{ }^{\circ}\text{C}$

Figure 3-2. Schematic diagram of ZTO TFT

Figure 4-1. Self-limiting behavior of ZnO ALD process

Figure 4-2. Self-limiting behavior of SnO_x ALD process

Figure 4-3. Growth rate of ZnO thin film on Si

Figure 4-4. Growth rate of SnO_2 thin film on Si

Figure 4-5. Total growth rate of ZTO thin film on Si

Figure 4-6. Atomic ratio of Zn to Sn with regard to sub cycle ratio of Zn to Sn

Figure 4-7. Schematic diagram of ALD process of ZnSnO

Figure 4-8. AES depth profiles of ZTO films deposited at 150 °C (upper) and 250 °C (lower) with $Zn/(Zn+Sn) \sim 0.5$ composition.

Figure 4-9. Glancing angle X-ray diffraction (GAXRD) patterns of as-deposited and annealed ZnSnO films deposited at 150 °C (upper) and 250 °C (lower).

Figure 4-10. (a) The change in the density of the ZnSnO films depending on deposition temperature and annealing process, determined from best-simulated results. (b) Comparison of X-ray reflectivity (XRR) spectra for the films deposited at 150 °C and 250 °C, and annealed at 600 °C.

Figure 4-11. AFM images of ZTO thin film; (a) $T_{dep}=150$ °C, as-deposited; (b) $T_{dep}=250$ °C, as-deposited; (c) $T_{dep}=150$ °C, 600 °C annealed; (d) $T_{dep}=250$ °C, 600 °C annealed, respectively.

Figure 4-12. SEM image of ZTO thin film: (a) $T_{dep}=150$ °C, as-deposited; (b) $T_{dep}=250$ °C, as-deposited; (c) $T_{dep}=150$ °C, 600 °C annealed; (d)

$T_{\text{dep}}=250\text{ }^{\circ}\text{C}$, $600\text{ }^{\circ}\text{C}$ annealed, respectively.

Figure 4-13. Transfer characteristics of ZTO TFTs; deposited at $150\text{ }^{\circ}\text{C}$ (a)

without annealing or (b) annealed at $600\text{ }^{\circ}\text{C}$, deposited at

$250\text{ }^{\circ}\text{C}$ (c)without annealing or (d) annealed at $600\text{ }^{\circ}\text{C}$.

Figure 4-14. Schematic diagram of accumulation layer of ZTO channel layer

with regard to its percolation threshold.

Figure 4-15. 2-D percolation model for electrical conductivity of porous

material near percolation threshold

Figure 4-16. Gate leakage of ZTO TFT deposited at $250\text{ }^{\circ}\text{C}$

List of Tables

Table 3-1. ZTO process conditions

Table 4-1. Transfer characteristics of ZTO TFTs of different deposition temperatures, 150 °C and 250 °C.

1. 서론

최근 들어 투명하고 휘어질 수 있는 차세대 디스플레이 소자를 구현하고자 다양한 분야에서 활발한 연구가 이루어지고 있으며, 특히 대면적, 고해상도 디스플레이에 적용될 수 있는 높은 이동도의 TFT를 가능케 할 채널막 재료로서 비정질 산화물 반도체가 큰 관심을 받고 있다. 기술적 한계에 다다른 기존의 실리콘 기반 TFT를 대체하고자 하는 노력으로 현재까지 HfInZnO (HIZO), InGaZnO (IGZO), ZnSnO (ZTO) 등 다양한 종류의 비정질 산화물 반도체를 이용한 TFT가 연구되어 왔는데, 그 중 IGZO TFT는 뛰어난 이동도와 안정적인 동작, 그리고 우수한 재현성 덕분에 2014년 현재 디스플레이 시장에서 확고한 선두를 지키고 있다.

그러나 IGZO를 구성하는 인듐(Indium)과 갈륨(Gallium)의 높은 가격은 IGZO TFT를 이용한 디스플레이의 상용화의 발목을 잡는 주요한 한계로 작용하고 있다. 특히, 대표적인 희유금속인 인듐은 InSnO (ITO)를 비롯해 투명 디스플레이 소자에 응용되고 있는 금속 산화물의 핵심 원소로서 그 수요가 급격히 증가하고 있으나, 그에 반해 산출량이 매우 제한적이어서 시장 가격이 매년 급등하고 있는 추세이다. 인듐 수요량의 절대적인

증가와 더불어 인듐의 가격은 앞으로도 꾸준히 상승하게 될 것으로 예상되고 있으며, 머지 않은 미래에 인듐을 함유한 산화물의 시장경쟁력이 급격히 하락할 것으로 예측되고 있다.

이러한 한계를 극복하고자 IGZO와 대등한 수준의 이동도와 안정성을 나타내면서도 보다 저렴한 원소로 구성된 산화물 반도체 재료에 대한 요구가 대두되었다. IGZO의 대체재로서 이러한 조건을 만족시킬 수 있을 것으로 가장 기대되고 있는 재료는 매장량이 풍부하여 인듐에 비해 월등히 저렴한 가격의 아연(Zinc) 및 주석(Tin)으로 구성되어 있으며 비교적 우수한 TFT 동작 특성을 나타내고 있는 ZTO이다. 대표적인 2성분계 산화물인 ZnO 및 SnO₂에 대한 연구와 더불어 3성분계 산화물인 ZTO에 대한 연구는 IGZO 등 다양한 산화물들과 함께 지속적으로 이루어져 왔으나, ZTO TFT가 이미 상용화되어 있는 IGZO TFT를 대체하기 위해서는 아직 더 많은 연구를 통해 현재보다 더 우수한 이동도 및 안정성을 갖추어야 할 필요가 있다.

최근 보고된 일련의 연구들에 따르면 비정질 산화물 반도체를 이용한 TFT의 동작 특성은 채널막의 밀도와 밀접한 상관관계가 있음이 보고되고 있다. 스퍼터로 증착한 ZTO를 채널막으로 사용한 TFT의 동작 특성을 연구한 B.S. Yang et al.은 높은 밀도의 ZTO 채널막을 사용하는

경우가 낮은 밀도의 경우에 비해 더 우수한 TFT 동작 특성을 나타내었음을 보고하였다.[1] 한편, S.Y. Lee et al.은 온도 및 산화제의 변화에 따른 ALD HfO₂ 박막의 밀도 변화를 연구하였는데, 산화제로서 주로 사용되는 물(H₂O)을 사용하지 않고 오존(O₃)을 사용하여 공정할 경우, 물의 경우와 달리 높은 온도에서 박막의 밀도가 증가함을 보고하였다.[2]

본 연구에서는 이러한 기존 연구 결과들을 바탕으로 하여, 오존을 산화제로 사용한 ALD 공정을 통해 증착한 ZTO 박막의 물리적, 화학적 특성 및 이에 따른 ZTO TFT 소자의 전기적 특성을 이해하는데 초점을 맞추고 있다. ALD 공정은 기판 구조의 복잡성과 관계없이 원하는 두께의 박막을 매우 균일하게 증착할 수 있을 뿐만 아니라 다성분계 물질의 조성비를 손쉽게 조절할 수 있다는 장점을 가지고 있어 복잡한 삼차원 구조를 가지는 차세대 비정질 산화물 반도체 소자를 제작하는데 매우 적합한 공정이다. 이러한 분석을 기반으로 하여 우수한 특성을 가지는 TFT 채널막의 증착 조건을 연구하였고, IGZO TFT를 대체할 ZTO TFT 소자 제작의 가능성 또한 제시하였다.

2. 문헌연구

2.1 비정질 산화물 반도체

산화물 반도체(oxide semiconductors)는 산화물 중에서 반도체의 특성을 나타내는 물질을 일컫는 것으로, 일반적으로는 전이금속 및 전이후금속의 산화물이 이에 해당되게 된다. 공유결합을 하는 실리콘과 달리 금속 산화물의 금속과 산소 간 결합은 이온 결합성을 가지게 되는데, 이에 따라 가전자대의 최상부(Valence Band Maxima, VBM)는 산소의 2p 궤도로, 전도대의 최저부(Conduction Band Minima, CBM)는 금속의 ns 궤도로 각각 주로 구성되며, 가시광선이 통과할 수 있을 만큼 큰 밴드갭을 형성하므로 재료가 투명한 것이 특징이다.

산화물 반도체는 높은 결정학적 불규칙성을 갖는 비정질상으로 존재할 때에도 높은 이동도를 유지한다는 장점이 있어 기존의 수소화 비정질 실리콘(a-Si:H)을 대체하는 AMOLED용 TFT 채널막 재료로써 주목 받게 되었다. 비정질 산화물 반도체(Amorphous Oxide Semiconductor, AOS)가 비정질상에서도 높은 전자 이동도를 유지할 수 있는 것은 CBM을

구성하는 금속의 ns 궤도 ($n \geq 4$) 의 고유한 형태에 기인한다. 전이금속의 ns 궤도는 구면 대칭성을 갖는 큰 반경의 구 형태를 하고 있기 때문에 원자의 위치가 결정 격자의 정해진 위치에서 벗어나더라도 인접한 ns 궤도의 상당한 부분이 중첩될 수 있으므로 높은 전자이동도를 유지할 수 있다. 이는 CBM이 방향성을 가지는 sp^3 혼성 궤도로 구성되어 있어 비정질상일 경우 인접 혼성 궤도 간의 중첩이 매우 저하되는 실리콘의 경우와는 상반된다. [Figure 2-1][3]

본 연구에서 다루고 있는 재료인 ZTO를 포함한 다성분계 산화물(multi-component oxides)은 일반적으로 이성분계 산화물(binary oxides)에 비해 결정화 온도가 높아 비정질 상태를 쉽게 유지할 수 있으며, 따라서 더 넓은 범위의 공정 조건에서 비정질 박막을 성장시키는 것이 가능하다. 이제부터 본 연구에서 다루게 될 채널막 재료인 ZTO의 기본적인 물성 및 ZTO를 채널막으로 사용한 TFT의 동작 특성, 그리고 ALD의 비이상적 증착 거동에 관한 선행 보고들을 살펴보기로 한다.

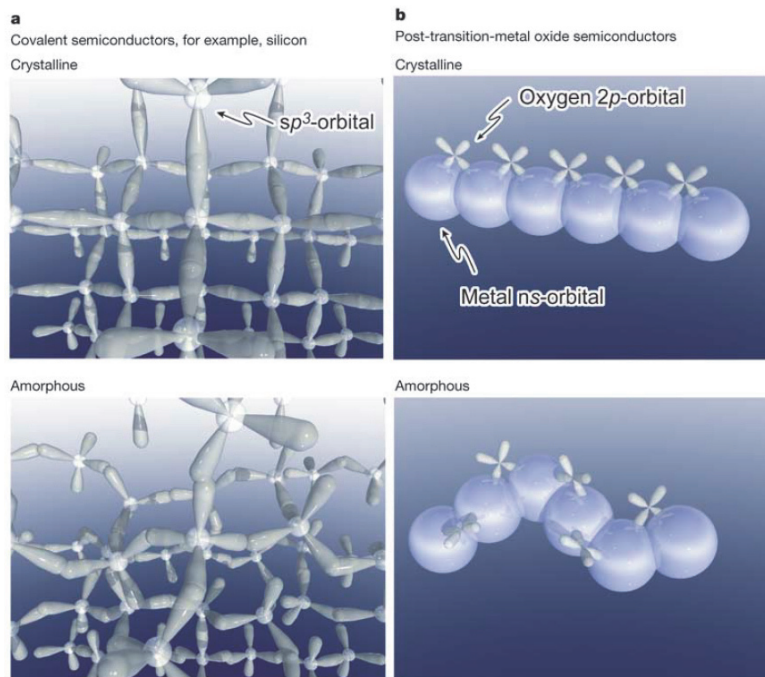


Figure 2-1. Schematic orbital drawings for the carrier transport paths (that is, conduction band bottoms) in crystalline and amorphous semiconductors: (a) Covalent semiconductors and (b) Amorphous oxide semiconductors composed of post-transition-metal cations.[3]

2.1.1 Zinc Tin Oxide (ZTO)

Zinc tin oxide (ZTO)는 넓은 밴드갭을 특징으로 하는 n형 다성분계 산화물 반도체 중 하나이다. ZTO의 화학적 조성, 즉, Zn와 Sn의 조성비는 주로 ZnO와 SnO₂의 비율, 즉, (ZnO)_x(SnO₂)_{1-x} ($0 < x < 1$)의 형태로 표기되어 설명된다. ZTO의 결정 구조는 현재까지 준안정상으로 알려진 face-centered perovskite, trigonal ilmenite(ZnSnO₃, $x=0.50$)와[4-5] 안정상으로 알려진 cubic spinel(Zn₂SnO₄, $x=0.67$)[6]이 보고되어 있다. 이 중 trigonal ilmenite 상은 비록 낮은 속도이지만 약 600 °C 의 낮은 온도에서도 안정상인 cubic spinel 구조의 Zn₂SnO₄와 SnO₂로 분해되는 현상이 보고되어 있다.[4] 비정질 ZTO는 조성 및 실험 조건에 따라 차이를 보이지만 약 650 °C – 750 °C 에서 결정화가 일어나는 것으로 알려져 있으며,[6-7] 이는 ZTO를 구성하는 이성분계 산화물인 ZnO 및 SnO₂의 결정화 온도(250 °C – 350 °C)보다도 매우 높은 수치이다. ZTO를 비롯한 다성분계 산화물의 높은 결정화 온도는 일반적으로 길고 복잡한 확산 경로에 기인하는 것으로 이해되고 있으며, 이로 인한 비정질상의 높은 안정성은 비정질 산화물 반도체를 사용한 소자 제작 시 온도 조건을 넓혀주어 큰 이점으로 작용한다.

보고된 ZTO 박막의 직접형 광학적 밴드갭(direct optical bandgap)은 3.3 – 3.9 eV의 분포를 가지며, Cubic spinel 구조를 가지는 결정상 Zn_2SnO_4 의 bandgap은 3.35 eV임이 보고된 바 있다.[6] ZTO의 밴드갭의 이러한 넓은 분포는 Burstein-Moss 효과 혹은 ZTO 박막의 화학적 조성 및 결정학적 구조의 변화에 기인하는 것으로 알려져 있다.

ZTO는 화학적으로 안정하여 쉽게 산화하거나 부식되지 않으며, 물리적인 특성도 우수하여 흠집에 대해 강한 내성을 가지고 있다. 또한 인듐 혹은 갈륨을 함유하고 있지 않아 독성이 없고 가격이 저렴하다. 뿐만 아니라 박막 증착 시 비교적 매끄러운 표면을 형성하는 경향을 나타낸다는 장점 또한 나타낸다.

2.1.2 ZTO를 채널막으로 사용한 TFT 소자

ZTO를 채널막을 사용한 TFT 소자는 2005년 H. Q. Chiang et al.에 의해 처음으로 보고되었다.[7] 이들은 스퍼터링을 통해 증착한 ZTO 채널막을 이용하여 staggered bottom gate 구조의 TFT를 제작하였다. 게이트 및 게이트 유전막은 ITO/ATO(aluminum titanium oxide) 및 Si/SiO_2 의 두 가지

조건을 사용하였으며, 소스 및 드레인의 전극으로는 ITO를 사용하였다. 스퍼터링은 175 °C 의 온도 및 Ar:O = 90:10의 분위기에서 진행되었으며, 600 °C 에서 한 시간 동안 후열처리를 하였다. ZTO 스퍼터링 타겟으로는 ZnO:SnO₂ 비율이 2:1인 것과 1:1인 것을 각각 사용하였는데, 타겟 종류에 따른 TFT 특성 차이는 두드러지지 않았다. 완성된 TFT 소자는 -5 V - 5V의 V_{th} 를 나타내었고, I_{on}/I_{off} 비는 $\sim 10^7 - 10^8$ 이었으며, $\sim 20 - 50 \text{ cm}^2/\text{Vs}$ 의 전계 효과 이동도(μ_{FE})를 갖는 것으로 보고 하였다. 한편, 600 °C 가 아닌 300 °C 에서 열처리를 진행한 TFT 소자는 $\sim 5 - 15 \text{ cm}^2/\text{Vs}$ 의 비교적 낮은 전계 효과 이동도를 보여주었고, 이를 열처리에 따른 채널막 - 게이트 유전막 간 계면의 국부적인 원자 구조 재배열에 의한 현상으로 분석하였다.

나아가 Hoffman et al. 은 ZTO 채널막의 화학적 조성 및 TFT 소자의 후열처리 온도가 소자의 동작 특성에 미치는 영향에 대해 연구하였다.[8] 게이트로는 고농도 도핑된 Si 기판, 게이트 유전막으로는 열산화막 (thermal oxide), 소스 및 드레인 전극으로는 ITO를 사용하였고, ZTO 채널막은 RF 스퍼터링을 통하여 증착하여 staggered bottom gate 구조의 TFT를 제작하였다. ZTO 채널막의 화학적 조성은 타겟을 달리함으로써 변화를 주었는데, Zn/Zn+Sn 비율이 0.00, 0.33, 0.50, 0.67, 그리고 1.00인

다섯 개의 타겟을 사용하였다. 이를 통해 증착된 ZTO 채널막의 화학적 조성은 타겟에 따라 각각 0.00, 0.29, 0.46, 0.68, 그리고 1.00으로 타겟의 조성과 거의 일치하였다. 제작된 TFT 소자는 furnace를 이용하여 대기 분위기에서 200 °C 부터 800 °C 까지의 범위로 후열처리 공정이 진행되었다. 후열처리를 진행한 후 모든 소자에 대해 TFT 동작 특성에 관한 분석을 진행하였다. Zn/Zn+Sn 비율이 0.00인 경우, 즉, Zn이 포함되지 않은 SnO₂ TFT는 주어진 게이트 전압 인가 범위 내에서 depletion이 되지 않아 끌 수 없었고 항상 켜져 있는 상태를 유지하였다. Zn/Zn+Sn 비율이 증가함에 따라 hysteresis 현상이 감소하는 것을 관찰하였고, V_{th} 의 negative shift 크기가 점차 감소하였다. 이동도는 Zn/Zn+Sn 비율이 0.50일 때 가장 큰 값인 30 cm²/Vs를 나타내었고, V_{th} 는 Zn/Zn+Sn 비율이 0.67일 때 0 V가 되었다. 한편, Zn/Zn+Sn 비율이 1.00인 경우, 즉, ZnO TFT는 이동도가 5 cm²/Vs로 가장 낮은 이동도를 나타내었다. 열처리 온도에 따른 효과도 분석하였는데, 열처리 온도가 600 °C 까지 올라감에 따라 이동도가 증가 하였음을 보고하였고, 이는 막질의 개선에 따른 트랩 농도의 감소에 기인한다고 분석하였다. 더 낮은 트랩 농도에서 더 높은 자유 캐리어 농도가 확보되고 이에 따라 accumulation layer의 형성이 더 용이해지기 때문이라는 설명이다.

Gorn et al. 또한 ZTO 채널막의 화학적 조성 및 공정 온도를 변화시켜가며 ZTO TFT 소자를 제작하였고, 해당 소자들에 게이트 바이어스 스트레스(gate bias stress)를 인가했을 때의 안정성에 관한 연구를 진행하였다.[9] 채널막은 PA-PLD(Plasma Assisted Pulsed Laser Deposition) 방법을 이용하여 증착하였다. 이들이 사용한 PA-PLD 방법은 플라즈마에 의해 발생된 활성 산소(radical oxygen)가 증착 과정에서 박막 내의 산소 결핍을 막아주어 산소 공공(oxygen vacancy)의 발생을 감소시키기 때문에 의도하지 않은 캐리어 농도 증가 현상을 방지한다고 그들의 이전 결과에서 보고한 바 있다. PA-PLD 시 증착 온도는 250 °C 에서 450 °C 범위에서 조절하였으며, 소스 및 드레인 전극은 AZO(Aluminum Zinc Oxide)를 사용하였다. 게이트 및 게이트 유전막으로는 유리 기판 위에 ITO, ATO를 각각 증착하여 사용하였다. 실험은 게이트에 10 V의 바이어스 스트레스를 60,000 초 동안 일정하게 인가하여 이에 따른 TFT 동작 특성의 변화를 분석하였다. 바이어스 스트레스에 의한 V_{th} 이동은 ZTO의 Zn/Sn 조성에 따라 다른 양상을 보였으며, 이동도는 큰 변화가 없었다. V_{th} 의 경우 Zn 비율이 높을 때에는 양의 방향으로 이동하고 Zn 비율이 낮을 때에는 음의 방향으로 이동하였는데, Zn 비율이 높을 때에는 게이트 유전막 내의 결함이 트랩으로 작용하여서

양의 방향으로의 문턱전압 이동이 발생하였으며, Zn 비율이 낮을 때에는 계면 혹은 채널막 내부의 deep state 때문에 음의 방향으로의 문턱전압 이동이 발생하였다고 설명하였다. 이동도 및 문턱전압은 스트레스 인가 중단 후 회복되었음을 보고하였다.

Gorn et al.은 ZTO TFT에 가시광선이 조사되었을 때의 영향 또한 연구하였다.[10] 암실 조건에서 628, 525, 470, 425 nm 의 다양한 파장의 가시광선을 ZTO TFT에 조사하였고, 이에 따른 TFT의 동작 특성 변화를 관찰하였고, 문턱 전압의 증가, 포화이동도의 증가, 그리고 off current의 증가를 확인하였으며 그 정도는 파장이 짧을수록, 세기가 강할수록 컸다. 이러한 변화는 수 시간이 지난 후 회복되었으며, 20시간 후 완전히 회복되었다. 이러한 불안정성은 공정 온도를 조절함으로써 감소되었다. 공정온도가 250 °C 일 때 문턱전압 이동이 15 V 이상이었던 것에 반해 450 °C 공정으로 제작한 TFT는 같은 조건에서 문턱전압 이동이 3 V 이하에 불과했다.

H. Jeon et al.은 솔루션 방법으로 ZTO TFT를 제작하고 그 전기적 특성을 Zn/Sn 조성비에 따라 확인하였다.[11] Hoffman의 결과와 마찬가지로 ZTO 채널막의 전계 효과 이동도는 Zn:Sn이 1:1 일 때 $3.4 \text{ cm}^2/\text{Vs}$ 로 가장 우수하게 나타났다. SS 또한 0.38 V/dec 로 다른 조성에 비해 가장 작은

값을 나타내었다. ZTO TFT의 이동도 및 SS는 Zn:Sn이 1:1인 조성을 기준으로 하여 이로부터 멀어질수록 열화되는 대칭적인 포물선 형의 양상을 보여주었다. 이러한 결과는 XAS 및 XPS 분석 결과를 바탕으로 하여 설명되었다. XAS 분석으로는 산소 K-edge 를 통해 전도대 최저부를 관찰하였다. ~540 eV에서 peak을 나타내는 ZnO에 ~535 eV에서 peak을 나타내는 SnO₂가 첨가되면서 전도대가 확장되어 전하의 이동을 용이하게 한다고 설명하였다. 한편 XPS 분석에서는 Sn의 3d peak을 관찰하였는데, 이를 Sn²⁺와 Sn⁴⁺ peak으로 분리하여 Sn⁴⁺ peak의 비율이 1:1 조성에서 가장 높다는 것을 밝혀내었다. ZTO를 SnO, SnO₂, Zn, ZnO 상이 혼재 되어있는 것으로 생각하였고, n형 SnO₂의 Sn⁴⁺의 비율이 클수록 전자 농도가 높으므로 1:1 조성의 TFT 특성이 가장 우수하다고 보고하였다. 1:1 조성에서 Sn⁴⁺의 비율이 가장 높은 이유에 대해서는 언급하지 않았다.

ZTO 채널막의 화학적 조성 변화에 따른 TFT의 동작 특성 변화에 관한 연구는 McDowell et al.에 의해서도 이루어졌다.[12] 이들은 ZnO 타겟과 SnO₂ 타겟을 사용하여 코-스퍼터링(co-sputtering) 방식으로 ZTO를 증착하였는데, 기판 상의 위치에 따라 ZnO와 SnO₂의 증착량이 달라 박막의 최종 조성이 달라짐을 이용하여 실험하였다. 실험 결과 Zn와

Sn의 비율이 1:1인 경우에 $4 \text{ cm}^2/\text{Vs}$ 의 가장 낮은 이동도가 나타났고, Zn/Zn+Sn이 0.25 또는 0.80 일 때 약 $12 \text{ cm}^2/\text{Vs}$ 의 가장 높은 이동도가 나타났다. 이러한 결과는 Zn:Sn이 1:1인 조성에서 가장 높은 이동도가 나타난 위 Hoffman et al.[8] 및 H. Jeon et al.[11]의 결과와 반대되며, 그 이유에 대해서는 특별히 언급하지 않았다.

Un Ki Kim et al.은 최초로 CVD 공정을 이용한 ZTO TFT를 구현했음을 2013년에 보고하였다.[13] CVD 공정에 있어, Zn와 Sn의 전구체는 각각 Diethyl zinc(DEZ, $\text{C}_4\text{H}_{10}\text{Zn}$)와 dibutyl tin diacetate(DBTA, $\text{C}_{12}\text{H}_{24}\text{O}_4\text{Sn}$)를 사용하고, 산소(O_2)를 산화제로 사용하였다. 증착 온도는 400°C 이며, ZTO의 화학적 조성비는 전구체 간 유량비 조절을 통해 조절하였다. 증착한 ZTO 박막의 XPS 분석을 통하여 Zn:Sn 조성비가 1:1에 가까울수록 산소 공공의 농도가 높아짐을 확인하였고, 제작한 TFT의 동작 특성 또한 Zn:Sn 조성비가 1:1일 때 가장 우수하였다. 이는 이전의 대부분의 보고와 동일한 결과이다. 또한, 증착된 ZTO 박막은 RMS roughness가 높고 밀도가 매우 낮은 특성을 보여주었으나, 600°C 의 후열처리 과정을 통해 크래킹 없이 박막의 표면 RMS roughness가 감소하고 밀도가 증가하여 TFT 채널막으로서 적합한 막질을 확보할 수 있음을 확인하였다. TFT 제작에 있어 게이트, 게이트 절연막, 소스 및

드레인 전극으로 각각 Si, SiO₂, ITO를 사용하였고, 채널막으로는 CVD 방법으로 증착한 ZTO 박막을 사용하였다. 섀도우 마스크(shadow mask)를 이용하여 제작한 staggered bottom gate 구조의 해당 TFT 소자는 600 °C에서의 후열처리 공정을 거친 후 Zn:Sn 조성비가 1:1인 가장 우수한 특성의 TFT를 기준으로 17.4 cm²/Vs 의 전계 효과 이동도, 6.8 cm²/Vs 의 포화 이동도, 0.43 V 의 문턱전압, 그리고 0.30 V/dec 의 SS값을 나타내는 우수한 동작 특성을 보여주었다. TFT 소자의 광신뢰성 평가에 있어 NBS(Negative Bias Stability) 및 NBIS(Negative Bias Illumination Stability) 분석 또한 진행되었다. 게이트에 -20 V, 드레인에 10 V의 바이어스가 인가되었고, NBIS 분석에서는 550 nm의 단파장광을 1 mW/cm²의 세기로 채널막에 조사하였다. 분석 결과 NBS특성은 매우 우수하여 1000 초의 스트레스가 가해져도 문턱전압의 변화가 거의 없는 것으로 나타났으며, NBIS 분석에서는 음의 방향으로 수 V 수준의 문턱전압 변화가 관찰되었다. 이는 Zn:Sn 조성비에 따라 다른 경향을 나타내었는데, 이러한 경향이 Sn-related oxygen vacancy와 Zn-related oxygen vacancy의 에너지 수준 차이에 기인한다는 것을 규명하였으며 이를 시뮬레이션을 통해 검증하였다.

B.S. Yang et al.은 스퍼터링을 통해 ZTO 채널막을 형성하여 TFT를

제작하고 그 특성을 평가하였다.[1] 스퍼터링 증착 조건의 변수로서 RF 파워를 50 W에서 400 W 까지 조절하였고, 이에 따른 ZTO 박막의 밀도 및 TFT 특성 변화를 관찰하였다. RF 파워의 크기가 증가함에 따라 ZTO 박막의 밀도는 4.86 g/cm^3 에서 5.54 g/cm^3 까지 비례하여 증가하였고, 동시에 TFT의 특성은 포화 이동도가 $2.70 \text{ cm}^2/\text{V}\cdot\text{s}$ 에서 $13.80 \text{ cm}^2/\text{V}\cdot\text{s}$ 까지, S.S.가 1.19 V/dec. 에서 0.33 V/dec. 까지, $I_{\text{on}}/I_{\text{off}}$ 는 1.82×10^7 에서 1.10×10^9 까지 크게 향상되었음을 확인하였다. ZTO 박막의 밀도가 높을수록 TFT의 전기적 특성이 우수한 것은 고밀도의 결정질 ZTO가 보다 낮은 밀도를 가지는 비정질 ZTO에 비해 Sn 5s 궤도와 O 2p 궤도 간 중첩에 의한 비편재화(delocalization) 현상이 더 강하게 나타나 더 우수한 전자 전달 특성을 나타내는 것과 동일 선상에서 설명될 수 있다고 밝혔다.

2.2 원자층 증착법 (Atomic Layer Deposition, ALD)

원자층 증착법(Atomic Layer Deposition, ALD)은 순차적인 기상 화학 반응을 이용하는 박막 증착 기술의 한 종류로, 1980년에 Tuomo Suntola에 의해서 Atomic Layer Epitaxy(ALE)라는 이름으로 처음 발표되었다. ALE는 칩 사이즈가 수십 나노미터 수준으로 감소한 현재에 이르러 수십 Å 수준의 얇은 두께를 가지는 박막 증착 기술이 필요해짐에 따라 큰 관심을 받게 되었고, 현재의 ALD라는 이름으로 불리며 상용화 되기 시작하였다.

원자 수준 단위의 박막 두께 조절 및 매우 크고 복잡한 표면에서의 균일한 증착은 ALD의 고유한 자기 제한적(self-limiting) 성장 거동 특성에 기인한다. ALD의 자기 제한적 성장 거동은 표면, 전구체, 그리고 산화제 간의 연계적인 화학적 반응에 의해 결정되므로 전구체 및 산화제의 종류, 기판의 종류, 증착온도 등의 다양한 증착 조건들이 ALD를 통한 박막의 성장 거동에 매우 중요한 영향을 미치게 된다. 따라서 이러한 증착 조건들을 효율적으로 제어하는 것이 우수한 성질을 가지는 박막을 증착하는데 매우 중요한 요소이며, 증착 조건을 조절하여 원하는 성질의 박막을 성장시켜 응용한 연구들이 다양한 분야에서

활발히 보고되어 왔다.

2.2.1 ALD 공정의 박막 성장 메커니즘

ALD는 기상 전구체의 화학반응을 이용하는 화학 기상 증착법 (Chemical Vapor Deposition, CVD)의 일종으로, 일반적인 CVD 방법과 달리 자기제한적 반응을 응용한다는 것이 주요한 특징이다. ALD 공정을 통한 박막의 성장은 하나의 완결된 반응의 기본 단위인 ‘사이클(cycle)’의 반복 및 조합을 통해 이루어진다. 가장 기본적인 이성분계 금속 산화물 박막의 성장에 있어 ALD 공정의 사이클은 주로 네 단계로 구성된다: 1) 금속 원소 전구체의 주입, 2) 퍼지(purge), 3) 산소 전구체의 주입, 4) 퍼지. 첫 번째 전구체 주입 단계에서, 주입된 전구체 분자는 전구체의 리간드와 기판 표면의 작용기 간의 화학 반응을 통해 화학 흡착(chemisorption)하게 되고, 충분한 시간이 지나면 모든 표면 작용기가 전구체와 화학 결합을 형성하게 되어 포화 상태에 이르게 된다. 이로써 화학 흡착층의 형성이 완결되고 나면 후속 주입된 전구체 분자들은 더 이상 결합할 작용기가 존재하지 않으므로 화학 흡착하지 못하며, 대신 반 데르 발스(Van der Waals) 인력에 의한 물리 흡착(physisorption)만이

일어난다. 두 번째 퍼지 단계에서는 퍼지 과정을 통해 물리 흡착된 전구체 분자들이 제거되고 결합력이 강한 화학 흡착층만이 남게 된다. 마찬가지로 후속 단계에서 주입되는 다른 종류의 전구체 분자 역시 기존 화학 흡착된 전구체 분자층에 화학 흡착하여 완전한 단일원자층을 형성하게 되며, 뒤이은 퍼지 단계를 통해 과주입되어 물리 흡착된 전구체 분자 및 기상 부산물을 제거한다. 네 단계로 구성된 일반적인 ALD 사이클의 개략도를 [Figure 2-2]에 도시하였다. 이러한 자기제한적 성장 메커니즘의 반복을 통해 ALD는 매 사이클 일정한 양의 재료가 증착되는 특성을 나타낸다. 즉, 이상적인 ALD 증착 거동을 가정한다면 한 사이클 당 증착되는 박막의 두께가 항상 일정하므로 사이클의 반복 횟수를 조절하여 원하는 두께의 박막을 얻는 것이 가능하다. 또한, 다성분계 금속 산화물 박막의 성장에 있어, 각 금속 원소에 대한 사이클의 조합으로 구성된 슈퍼 사이클을 반복함으로써 원하는 조성의 다성분계 금속 산화물을 원하는 두께만큼 성장 시키는 것도 가능하다. 사용되는 반응기 및 공정 조건에 따라 달라지지만, 일반적으로 한 사이클에 소요되는 시간은 0.5-수 초 이상, 증착되는 박막의 두께(GPC, growth per cycle)는 0.1-3 Å 정도 인 것으로 알려져 있다.

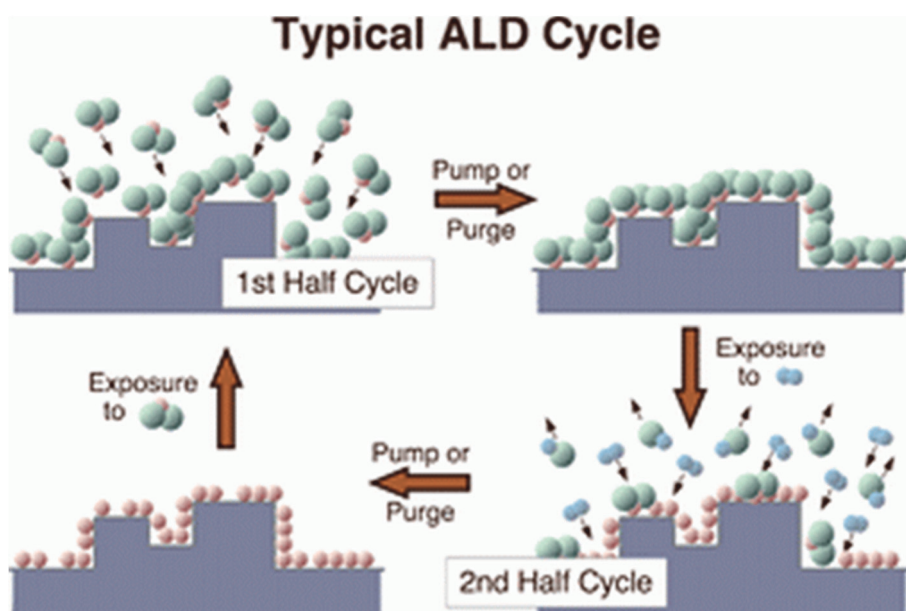


Figure 2-2. Typical ALD cycle with four steps of precursors feeding and purge.

화학 반응을 이용한다는 점에서 증착 온도는 ALD 공정에 큰 영향을 주는 요소로서 작용한다. ALD 공정에 있어 증착온도는 전구체가 열분해되거나 반응 생성물이 재증발(re-evaporation)되지 않을 만큼 충분히 낮되, 전구체가 응축되지 않고 반응이 일어날 수 있을 만큼 충분하며 물리 흡착된 부산물 및 전구체 분자들이 퍼지에 의해 탈착될 수 있을 만큼 충분히 높아야 한다는 조건을 기본적으로 충족하여야 한다. 이 온도 범위를 ALD window[Figure 2-3]라고 하며, 이 window 내에서는 ALD 증착 거동이 나타나므로 한 사이클에 한 원자층이 형성되어 사이클 당 증착량이 온도와 관계없이 일정한 값을 나타낸다.

그러나 실제로는 한 사이클에 한 원자층이 형성되지 못하는 것이 일반적이다. 비이상적 ALD 증착 거동에 의해 GPC에 영향을 미치는 요소 중 하나는 전구체 분자의 크기이다. 전구체 분자의 크기가 충분히 작다면 이상적인 ALD 반응이 진행되어 한 사이클에 완전한 단일 원자층이 형성되는 것이 가능한 반면, 전구체 분자의 크기가 일정 수준 이상으로 커지게 되면 전구체 분자간 입체 장애(steric hindrance)로 인하여 표면에 흡착될 수 있는 분자의 수가 제한되므로 한 사이클에 완전한 단일 원자층이 형성되는 것을 기대할 수 없게 되고 비이상적인 ALD 증착 거동이 나타나게 된다. 또한 기판 종류 및 처리 상태에 따른 기판

표면 작용기 및 화학적 특성의 차이, 전구체 종류에 따른 리간드의 화학적 특성 차이 등도 비이상적 ALD 증착 거동의 원인이 되는 것으로 널리 알려져 있다. [14-17]

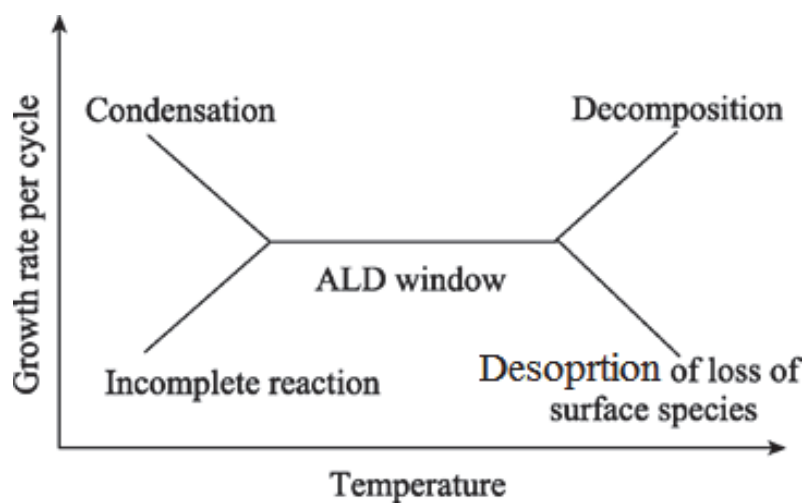


Figure 2-3. Variations of growth rate as a function of deposition temperature.

ALD의 자기제한적 성장 메커니즘은 다음과 같은 장점들을 가진다: 1) 단일 원자층의 반복적 형성을 통해 박막이 성장하므로 박막의 두께가 반응 사이클의 반복 횟수에 선형적으로 비례할 뿐만 아니라 한 사이클 당 증착되는 박막의 두께가 수 Å 수준이므로 원하는 두께의 박막을 매우 정교하며 간단하게 형성할 수 있다; 2) CVD와는 달리 반응물의 유동이 박막의 성장 속도에 거의 영향을 주지 않기 때문에 따라서 단차 피복성이 우수하고 대면적 증착 시 매우 높은 균일도를 나타내며, 기화 속도가 일정하지 않은 고체 전구체를 사용하는데 있어 불리한 점이 없다. 또한 ALD는 전구체들의 주입이 시간적으로 분리되어 있어 전구체 간 기상 반응이 일어나지 않으므로 반응성이 높은 전구체를 사용하는 것이 가능하며, 따라서 더 높은 순도의 박막을 비교적 낮은 공정 온도에서 형성할 수 있다. 그리고 ALD 공정 윈도우는 주로 넓게 형성되어있으므로 서로 다른 전구체들을 이용한 다층 구조의 박막 증착 공정 혹은 다성분계 재료의 증착 공정을 동일 온도 조건에서 연속적으로 진행하는 것이 가능하다.

한편, ALD 공정의 가장 큰 단점은 느린 공정 속도와 이에 따른 낮은 시간당 수율(throughput)이다. 실질적으로 단일 원자층을 형성하는데 수 사이클이 필요하기 때문에 보통 100 - 300 nm/시 의 증착 속도를

나타내며, 경우에 따라서는 20 nm/시 이하의 낮은 증착 속도를 나타내기도 한다. 따라서 ALD는 마이크로 미터 수준의 두꺼운 막을 형성하는 데에는 적합하지 않은 공정이며, 수 나노미터 수준의 매우 얇은 박막 형성이 필요한 공정 혹은 매우 높은 균일도를 필요로 하는 단차가 크고 복잡한 구조를 가지는 삼차원 소자에 대한 박막 형성이 필요한 공정에 가장 이상적인 박막 증착 기술이다. 본 연구에서는 실리콘을 기반으로 하는 기존 박막 트랜지스터의 근본적 한계를 극복할 대체 재료로서 주목 받고 있는 비정질 산화물 반도체 재료 중 하나인 ZTO를 ALD 방법을 이용해 증착하여 연구를 진행하였다. 이차원 구조 소자의 축소화가 기술적 한계에 다다름에 따라 최근 많은 관심을 받고 있는 삼차원 구조의 차세대 박막 트랜지스터 소자를 개발하는 데에는 높은 균일도 및 우수한 단차 피복성을 가지는 증착 기술이 요구된다는 점에서, 아직 많은 연구가 이루어지지 않은 ALD 방법을 통한 비정질 산화물 반도체 증착 공정 개발은 큰 의의를 가진다.

3. 실험방법

3.1 ALD 시스템

본 연구에서는 ZTO 박막 증착을 위해 ALD 시스템(Evertek, PLUS100)을 이용하였다. 해당 ALD 시스템은 반응기(reactor), 기체 전달 시스템, 오존 발생기로 구성되어 있다.

반응기는 traveling-wave 형태이며 4인치 웨이퍼의 공정이 가능하도록 설계되어 있다. 메인 챔버(main chamber)에 로드락 챔버(load lock chamber)가 연결된 구성이며 챔버 간 게이트 밸브는 매뉴얼 밸브로 여닫게 되어 있다. 증착 온도는 반응기의 웨이퍼 스테이지 하단부의 저항체를 이용한 히터를 통해 조절하며, 600 °C 이상의 온도까지 조절이 가능하다. 증착온도는 TC 웨이퍼를 이용하여 반응기의 압력 및 웨이퍼의 위치에 따라 25 °C 간격으로 정확히 조정하였다. 반응기 내벽은 공정 과정에서 전구체 및 반응물이 흡착되지 않도록 장착된 히터를 통해 150 °C를 유지한다. 반응기의 최저 진공도는 0.04 Torr이며 드라이 펌프(EDWARDS, DP 40)를 이용하여 진공을 유지한다. 공정 시

반응기에 기체가 주입 될 때의 공정 압력은 약 1.0 Torr 이다.

본 ALD 시스템은 ZnO, SnO, TiO₂ 의 ALD 공정이 가능하도록 설계되었다. 따라서 Zn, Sn, Ti 에 대한 전구체가 각각 기체 전달 라인에 연결되어 있다. 공급되는 기체는 Ar, N₂, O₂이며 Ar은 전구체의 전달 및 퍼지에 사용되며, N₂, O₂는 O₃를 발생시키는데 사용된다. 기체 전달 라인은 각 전구체들의 전달 및 퍼지가 같은 라인을 사용하지 않도록 독립적으로 설계되었다. 전달 라인에는 전구체가 응축되는 것을 방지하기 위해 라인 히터가 장착되어 있으며, Sn 전구체와 Zn 전구체의 캐니스터에는 각각 히팅자켓과 쿨링자켓이 설치되어 전구체의 증기압을 조절할 수 있다. 산화제는 O₃ 혹은 H₂O를 사용할 수 있도록 설계되어 있다. H₂O는 금속 전구체들과 마찬가지로 캐니스터에 담겨 기체 전달 라인에 연결되어 있으며, O₃는 오존 발생기를 통해 발생되어 반응기에 직접 주입된다. 각 전구체의 기체 전달 라인에는 전구체 전달 및 퍼지에 사용되는 전달 기체인 Ar의 유량을 조절하기 위한 MFC(mass flow controller)가 장착되어 있으며, 오존 발생기의 N₂ 및 O₂의 유량 조절을 위한 MFC 또한 해당 전달 라인에 장착되어 있다. H₂O, Zn 전구체, Sn 전구체의 기체 전달 라인에 대한 Ar MFC는 1000 sccm의 최대 용량을 가지며, O₂ 및 N₂ 전달 라인의 MFC는 각각 2000 sccm, 20 sccm의 최대

용량을 가진다. 기체 전달 라인에 설치된 공압 밸브들을 이용해 기체 라인을 열고 닫을 수 있으며, ALD 공정 조건에 따라 미리 설정된 프로그램에 의해 공압 밸브들이 조절되면서 반응기로 유입되는 기체의 종류 및 시간이 제어된다. 모든 기체 라인은 공정 시 반응기와 연결되지 않았을 때에 로터리 펌프와 연결된 바이패스(by-pass) 라인과 연결되어 전달 기체의 흐름을 안정적으로 유지한다. O_3 의 바이패스 라인은 오존 파괴기가 장착된 별도의 로터리 펌프를 사용하여 타 바이패스 라인과 독립적으로 구성된다.

오존 발생기는 O_2 와 N_2 의 혼합 기체에 강한 전압을 가하여 O_3 을 생성한다. O_3 이 발생하는 장소는 오존 발생기의 셀(cell)부이다. O_2 와 N_2 는 MFC의 조절을 통해 셀에 정량 유입되고, 셀 내부의 압력은 셀과 반응기를 연결하는 기체 라인에 설치된 압력 레귤레이터의 조절을 통해 이루어진다. 셀 내부 압력을 조절함으로써 이에 비례하는 O_3 농도가 조절되며, 셀에 설치된 오존 분석기를 통해 셀 내부의 O_3 농도, 압력, 온도를 측정한다.

3.2 ALD를 이용한 ZTO 박막의 증착

본 실험에서는 O_3 를 산화제로 하여 ZnO 및 SnO_2 를 교번으로 증착함으로써 ZTO 박막을 성장시켰다. Zn 전구체로는 ZnO 의 화학 기상 증착에 전구체로서 널리 사용되고 있는 $DEZn$ (diethyl zinc, $(C_2H_5)_2Zn$)를 사용하였으며, 전달 기체를 사용하지 않아도 될 만큼 충분히 증기압이 높은 전구체이므로 전달 기체의 사용 없이 반응기에 직접 주입되도록 하였다. Zn 전구체의 퍼지는 Ar을 500 sccm 의 유량으로 흘려 진행하였다. Sn 전구체로는 한국화학연구원(KRICT)에서 공급받은 신규 전구체인 $Sn(dmamp)_2$ 를 사용하였다. $Sn(dmamp)_2$ 의 주입은 전달 기체인 Ar이 캐니스터를 직접 통과하는 버블링 방식을 통해 이루어지도록 하였다. Sn 전구체의 퍼지는 Ar을 100 sccm 의 유량으로 흘려 진행하였다.

공정 시 Zn 전구체 및 Sn 전구체가 기체 전달 라인에 응축되는 것을 방지하기 위해 라인 히터를 사용하여 전달 라인의 온도를 $120\text{ }^{\circ}\text{C}$ 로 조절하였으며, Sn 전구체의 증기압을 공정에 충분한 수준으로 높이기 위해 Sn 전구체가 담긴 캐니스터의 온도를 히팅자켓을 이용해 $80\text{ }^{\circ}\text{C}$ 로 조절하였다. 한편, $DEZn$ 은 낮은 온도에서도 높은 증기압 특성을 보이므로 증기압을 낮추기 위해 캐니스터의 온도를 쿨링자켓을 이용해

3 ℃로 조절하여 사용하였다. 증착 온도는 150 ℃ 및 250 ℃로 설정하여 실험을 진행하였다.

산화제로 사용된 O₃를 발생시키기 위해 오존 발생기에 O₂와 N₂를 각각 1350 sccm과 10 sccm의 유량으로 공급하였으며, 공정 시에는 250 g/m³의 O₃을 2 %(5 g/m³)의 허용오차를 두고 발생시켜 사용하였다. 산화제의 퍼지는 Ar을 400 sccm의 유량으로 흘려 진행하였다. 상기 실험 조건을 [Table 3-1오류! 참조 원본을 찾을 수 없습니다.]에 정리하여 나타내었다.

Conditions		Value
Deposition temperature		150 °C, 250 °C
SnO _x	Canister temperature	80 °C
	Carrier gas flow rate	100 sccm
	Purge gas flow rate	100 sccm
ZnO	Canister temperature	3 °C
	Purge gas flow rate	500 sccm
O ₃ concentration		~250 g/m ³
Oxidant purge gas flow rate		400 sccm

Table 3-1. ZTO process conditions

화학 기상 증착법의 특성 상 박막의 증착 거동이 반응기의 분위기에 민감하게 반응하므로 반응기의 증착 환경이 항상 일정하게 유지되도록 하였다. 분석에 사용할 ZTO 박막의 본 증착 공정을 수행하기에 앞서 본 공정과 동일한 증착 조건으로 설정된 dummy 공정을 수 사이클 시행하여 반응기의 증착 분위기를 맞추었다. 시편 로딩 및 언로딩 후에는 반응기로 유입된 공기의 영향을 최소화 하기 위해 전달 기체인 Ar을 이용하여 수분간 충분히 라인 퍼지를 진행하였으며, 공정은 반응기의 압력이 최저 진공도인 0.04 Torr에 도달하였을 때 진행하였다. 또한 모든 공정은 시작하기에 앞서 180 초의 O_3 안정화 시간 및 60 초의 전달 기체 안정화 시간을 거친 후 진행되었다.

기판은 실험의 목적에 따라 bare Si 기판 혹은 SiO_2 (열산화막, 100 nm)/Si 기판을 선택하여 사용하였다. ZTO 박막 증착 시에는 조각 시편을 지그 웨이퍼(zig wafer)에 로딩하여 사용하거나, 4인치 웨이퍼 시편을 직접 로딩하여 박막 증착을 진행하였고, 균일도가 우수한 웨이퍼 중앙부의 시편을 선택하여 박막 분석에 사용하였다.

3.3 ZTO 박막을 채널막으로 적용한 TFT 제작

ZTO 박막을 채널막으로 적용한 TFT는 포토리소그래피(photolithography) 공정을 통해 bottom-gate (inverted) staggered 구조로 제작되었다. 게이트로는 p^{++} Si 기판이 사용되었고, 절연막으로는 SiO_2 가, 채널막으로는 ZTO 박막이 사용되었다. 그리고 소스 및 드레인 전극으로는 Ti가 사용되었다.

게이트 역할을 하는 p^{++} Si기판은 boron이 고농도로 도핑되어 있으며 <100>방향의 결정 방위를 가진다. 두께는 $525 \pm 25 \mu m$ 이고 저항은 $0.010 - 0.020 \Omega \cdot cm$ 이다. 절연막으로 사용된 SiO_2 는 열산화막으로, 서울대학교 반도체 공동연구소(inter-university semiconductor research center, ISRC)의 퍼니스를 이용한 열산화 공정을 통해 상기 Si 기판 위에 형성하였다. Wet oxidation 방법을 사용하였으며, 형성한 열산화막의 두께는 100 nm 로 측정되었다. 채널막인 ZTO 박막은 150 °C 및 250 °C 에서 ALD를 이용하여 증착하였다. 사용한 채널막의 두께는 약 45 nm 이다. 소스 및 드레인 전극으로 사용된 Ti는 ISRC의 e-gun evaporator (MAESTECH)를 사용하여 100 nm 로 증착하여 사용하였다.

포토리소그래피를 통한 TFT 소자의 제작은 ISRC에서 진행되었으며, 채널 패터닝, 전극 패터닝, 컨택홀(contact hole) 패터닝의 세 단계에 걸쳐 공정을 진행함으로써 ZTO TFT 소자를 제작하였다. 스핀 코터를 이용한 포토레지스트(photoresist, PR) 코팅 공정에는 PR과 기판의 접착력 향상을 위해 HMDS(hexamethyldisilzane)를 사용하였고, PR은 노광 및 베이킹 조건에 따라 positive imaging과 negative imaging 모두가 가능한 AZ5214를 사용하였다. PR의 develop 및 strip에는 각각 AZ300과 AZ700을 사용하였다. 얼라이너(aligner)는 365 nm의 파장, 18mW의 세기의 빛을 사용하는 MA-6(Karl-suss) 장비를 이용하였다.

ZTO 채널막의 패터닝 공정은 AZ5214를 positive PR로 사용하였고, HF 수용액을 이용한 습식 식각(wet etching)을 통해 진행되었다. 150 °C 에서 증착한 박막은 200:1 HF 수용액을 이용하였으며, 250 °C 에서 증착한 박막은 20:1 HF 수용액을 이용하였다.

ZTO 채널막 패터닝이 완료된 시편은 소스 및 드레인 전극 패터닝 공정이 진행되기 전 대기 분위기의 튜브 퍼니스를 통해 600 °C 에서 1시간 동안 열처리되었다.

Ti를 사용한 소스 및 드레인 전극의 패터닝 공정은 AZ5214를 negative

PR로 사용한 리프트 오프(lift off) 공정을 통해 진행하였다. 리프트 오프 공정 중의 PR strip에는 아세톤을 사용하였고, 소니케이터(sonicator)를 이용하여 PR 잔여물이 완벽히 제거될 수 있도록 하였다.

Bottom-gate인 p^{++} Si기판을 시편 위쪽에서 컨택할 수 있도록 하기 위한 컨택홀 패터닝은 AZ5214를 positive PR로 사용하였고, 6:1 BOE (buffered oxide etch) 용액을 이용한 열산화막(SiO_2)의 습식 식각을 통해 진행되었다. 열산화막에 대한 6:1 BOE의 식각 속도는 $\sim 65 \text{ nm/분}$ 이었다.

모든 패터닝 공정이 완료된 TFT 소자는 대기 분위기의 튜브 퍼니스를 통해 300°C 에서 1시간 동안 열처리되었다. 완성된 TFT 소자의 채널막 길이 및 너비는 증착 온도 150°C 와 250°C 에 대해 각각 $65 \mu\text{m}$, $100 \mu\text{m}$ 와 $5 \mu\text{m}$, $20 \mu\text{m}$ 이다. [Figure 3-1]은 증착 온도 250°C 조건에 대해 완성된 ZTO TFT 소자의 광학 현미경 사진(top view)이며, [Figure 3-2]에 해당 소자의 개략도를 도시하였다.

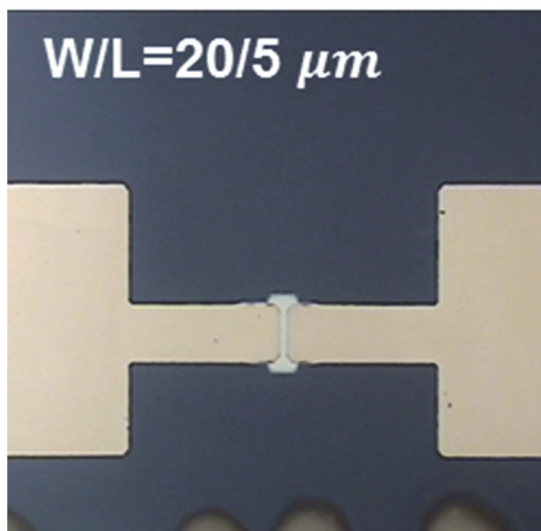


Figure 3-1. Optical image of ZTO TFT of $T_{dep} = 250^\circ C$

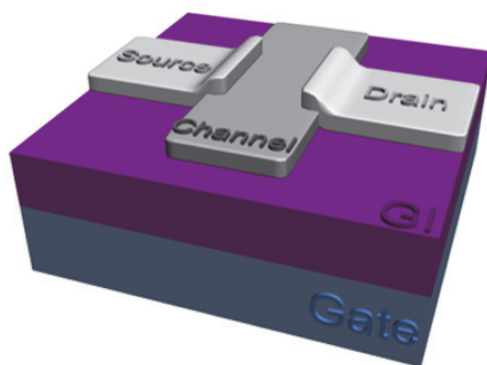


Figure 3-2. Schematic diagram of ZTO TFT

3.4 ZTO 박막 특성 및 ZTO TFT 동작 특성 분석

ZTO 박막의 두께에 대한 정보는 spectroscopic ellipsometer(SE, Wollam M2000 system)를 통해 분석하였고, X-ray reflectivity(XRR, PANalytical X'Pert PRO MPD)를 통한 분석 결과를 보조적으로 사용하였다. SE의 측정은 65° , 70° , 75° 의 각도 조건, 192 nm – 1689 nm 범위의 파장 영역 조건에서 진행하였다. 측정 데이터의 피팅을 위한 샘플 모델링은 실제 시편 조건에 기반하여 p^{++} Si 기판, 자연산화막, 열산화막, ZTO 박막 순으로 설정하였다. ZTO 박막의 모델링에는 Tauc-Lorentz 모델을 사용하였으며, p^{++} Si 기판 및 자연산화막, 열산화막의 모델링에는 내장된 표준 모델을 사용하였다. 또한 ZTO 박막 모델은 K-K(Kramers-Kronig) Consistency를 만족하도록 설정되었다. 피팅 시에는 192 nm – 1000 nm 범위의 ψ (psi), Δ (delta) 스펙트럼 데이터를 선택하여 사용하였다. 피팅 시 자연산화막 모델의 두께는 1 nm로 고정하였고, 열산화막 및 ZTO 박막 모델의 두께 및 광학적 특성과 관련된 변수들을 피팅 파라미터로 설정하였다. 피팅된 두께가 증착 시 예상한 두께에 근사하며, 두께를 포함한 피팅 결과값들이 물리적으로 합당하고, MSE(mean squared error) 값이 10 이하로 충분히 작을 때, 해당 피팅 결과를 충분히 신뢰할 수

있는 값으로 판단하여 분석에 사용하였다. XRR 분석을 통해 측정한 두께 또한 SE 분석 결과와 대조하여 보조적으로 사용하였다.

박막의 깊이 방향에 대한 원소 함량 분석은 서울대학교 신소재 공동 연구소 재료분석센터의 AES (Auger electron spectroscopy, Perkin-Elmer PHI 660, PHI670) 분석을 통해 진행하였다. 깊이 방향으로의 증착 균일도 및 불순물 함유 여부를 분석하기 위해 Sn, Zn, O, C, Si 을 분석 원소로 선택하였고, SiO₂ 기준 1.5 nm/분 의 속도로 박막을 스퍼터링하여 분석하였다.

박막의 밀도는 XRR 측정으로 얻은 데이터를 시뮬레이션을 통해 피팅함으로써 추출하였다. 시편 모델링은 ZTO 박막과 Si 기판 사이의 계면 부의 막, ZTO 박막, 그리고 ZTO 박막 표면 부의 막으로 설정하였고, 피팅값(fit value)이 충분히 낮고 물리적으로 합당하다고 판단되는 결과에 대해 상기 세 막의 밀도의 평균값을 분석에 사용하였다.

박막의 결정성을 확인하기 위해서는 glancing angle X-ray diffraction(GAXRD, PANalytical X'Pert PRO MPD)을 이용하였다. 입사각은 1° 로 설정하였고, ZTO의 JCPDS card 정보에 근거하여 15° - 50° 의 2θ 범위에서 측정하였다.

ZTO 박막의 Zn:Sn 원소함량비 및 면밀도의 분석을 위하여 X-ray fluorescence spectroscopy(XRF, Thermo Scientific ARL QUANT'X EDXRF spectrometer)를 이용하였고, 박막의 표면 상태 및 RMS roughness를 관찰하기 위하여 AFM(atomic force microscopy, JEOL JSPM-5200) 및 SEM(scanning electron microscopy, Hitachi S-4800)을 사용하였다.

ZTO 박막 내 산소의 바인딩 에너지(binding energy) 분석을 통해 캐리어 농도의 상대적인 양을 비교할 목적으로 서울대학교 기초과학 공동기기원의 Electron Spectroscopy for Chemical Analysis (ESCA, Sigma Probe)를 통해 X-ray Photoelectron Spectroscopy (XPS) 분석을 진행하였다. ZTO 박막 표면에 대해 탄소 및 산소 원자의 1s 궤도 전자의 바인딩 에너지를 분석하였고, C -C 결합에 대한 탄소 1s 궤도 전자의 바인딩 에너지 peak를 284.5 eV로 정렬하여 데이터를 교정하였다. 산소 1s 궤도 전자의 바인딩 에너지 스펙트럼은 피팅 프로그램을 이용하여 여러 개의 peak으로 분리하였다. 이 후 분리된 각 peak의 밑넓이를 계산하여 정량 분석을 진행하였다.

ZTO TFT의 전달 특성은 semiconductor parameter analyzer (Hewlett-Packard 4145B)를 이용하여 상온에서 측정하였다. 게이트 전압은 -20 V에서 20 V까지 0.2V의 step으로 스위프(sweep)하였고, 소스는 그라운드, 드레인에는

0.1 V 와 10 V를 각각 인가하여 전달 특성을 측정하고 평가하였다.

4. 실험결과

4.1 ALD 방법으로 증착한 ZTO 박막 분석

4.1.1 ZTO 박막의 ALD 증착 거동

ALD를 이용한 ZTO 박막의 증착은 선행 연구를 통해 150 °C에서 확보되어 있는 ZnO와 SnO₂ 각각의 독립적인 ALD 증착 사이클 및 이들의 조합으로 구성된 ALD ZTO 슈퍼 사이클을 이용하였다. 산화제로는 O₃을 사용하였으며, Zn 전구체로는 DEZn, Sn 전구체로는 Sn(dmamp)₂를 사용하였다. 한 슈퍼 사이클 내의 ZnO와 SnO₂의 서브사이클 비율을 조절하여 원하는 Zn:Sn 조성비를 가지는 ZTO 박막을 증착할 수 있었다. 선행 연구의 세부 내용은 다음과 같다.

기관으로는 Si를 사용하였고, 150 °C의 증착 온도에서 각 전구체에 대한 자기 제한적 거동을 확인하였다. DEZ를 사용한 ZnO 단일막 증착 및 Sn(dmamp)₂를 이용한 SnO₂ 단일막 증착에 대해 두 경우 모두 자기 제한적 반응에 의한 포화 거동 현상이 나타나 ALD 거동이 나타남을 확인하였다. DEZ 전구체와 O₃ 산화제를 이용한 ZnO 박막의 ALD 공정은

DEZ 주입 - DEZ 배출(퍼지) - O₃ 주입 - O₃ 배출(퍼지) 순서의 사이클로 구성되었고, 각 순서의 소요 시간은 자기 제한적 반응에 의한 포화 거동 현상이 나타나는 시간을 측정하여 1초 - 10초 - 3초 - 10초로 구성되었다. [Figure 4-1] Sn(dmamp)₂ 전구체와 O₃ 산화제를 이용한 SnO_x 박막의 ALD 공정은 Sn(dmamp)₂ 주입 - Sn(dmamp)₂ 배출(퍼지) - O₃ 주입 - O₃ 배출(퍼지) 순서의 사이클로 구성되었고 각 순서의 소요 시간은 ZnO와 마찬가지로 포화 거동 현상이 나타나는 시간을 측정하여 2초 - 5초 - 5초 - 10초로 구성되었다. [Figure 4-2] 상기 ALD 공정 조건을 통한 ZnO 및 SnO_x 박막의 성장속도는 사이클 시행 회수에 따른 박막의 두께 혹은 금속 원소의 면밀도 증분으로 정의하여 SE 및 XRF 분석을 통해 계산되었다. ZnO 박막의 성장 속도는 1.512 Å/사이클, 0.039 μg/cm²·사이클 이었고 [Figure 4-3], SnO_x 박막의 성장 속도는 2.085 Å/사이클, 0.038 μg/cm²·사이클 이었다. [Figure 4-4]

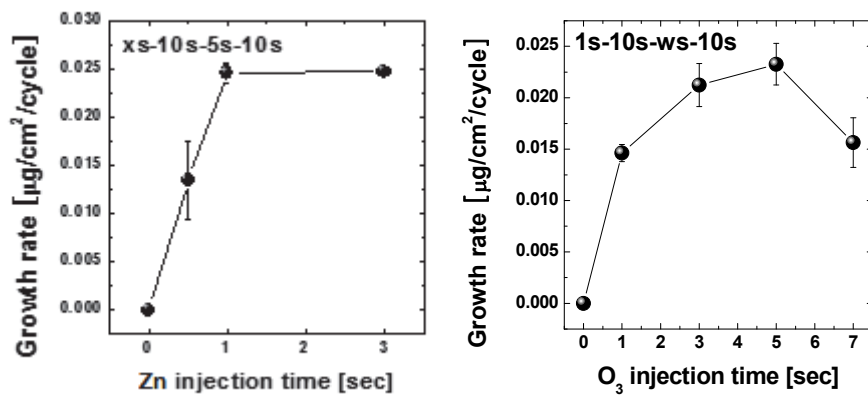


Figure 4-1. Self-limiting behavior of ZnO ALD process

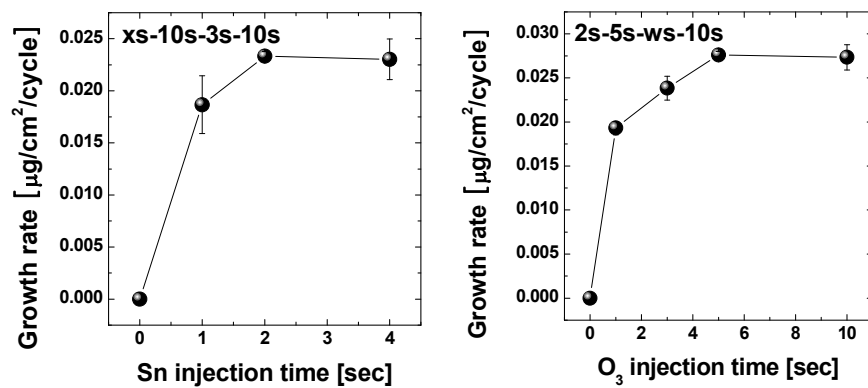


Figure 4-2. Self-limiting behavior of SnO_x ALD process

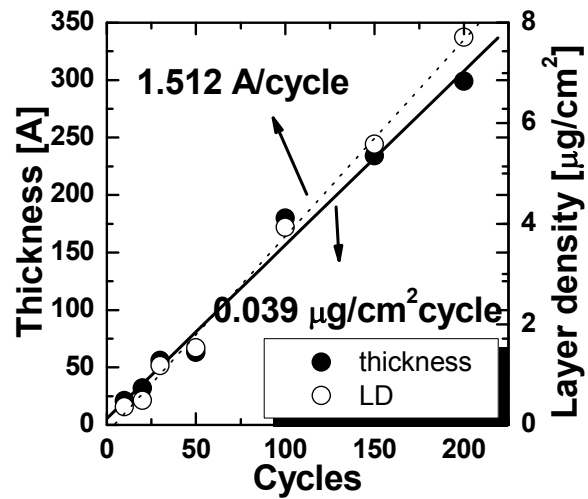


Figure 4-3. Growth rate of ZnO thin film on Si

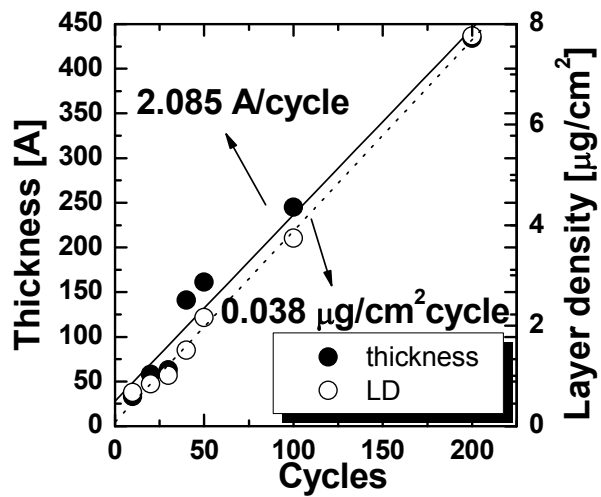


Figure 4-4. Growth rate of SnO₂ thin film on Si

ZTO 박막의 증착은 ZnO와 SnO_x 단일 박막의 ALD 사이클의 조합으로 구성된 슈퍼 사이클을 사용하여 증착되었다. 해당 슈퍼 사이클 구성에 대한 개략도를 [Figure 4-7]에 도시하였다. ZTO 복합막의 성장 속도는 0.024 $\mu\text{g}/\text{cm}^2\cdot\text{사이클}$ 이었다. [Figure 4-5] 비정질 ZTO 박막을 채널막으로 이용한 TFT는 Zn:Sn의 조성비가 1:1일 때 가장 우수한 전기적 특성을 나타낸다는 이전 문헌 보고들을 참조하여 Zn:Sn 조성비가 1:1이 되도록 서브사이클을 조절하여 증착이 진행되었다. [Figure 4-6] ZnO는 ZnO 단일막을 증착하는 경우와 동일한 증착 속도를 나타낸 반면 SnO_x는 SnO_x 단일막을 증착하는 경우에 비해 약 50% 감소된 증착 속도를 나타내었다. 이러한 SnO_x의 비이상적 ALD 거동은 ZTO 복합막 증착 공정 중 ZnO 서브 사이클에 후속하여 SnO_x의 서브 사이클이 진행 될 때 하부막으로 주어지는 ZnO 막과 Sn 전구체 간의 반응성에 기인하는 것으로 추측되며, 본 실험에서는 ZTO 복합막의 조성 조절 시 이를 고려하여 SnO_x와 ZnO 서브사이클 비율을 조절하였다. 상기 선행 연구를 바탕으로 하여 ZTO 박막을 증착온도를 달리하여 증착하고, 박막 및 이를 이용하여 제작한 TFT의 특성을 분석하였다.

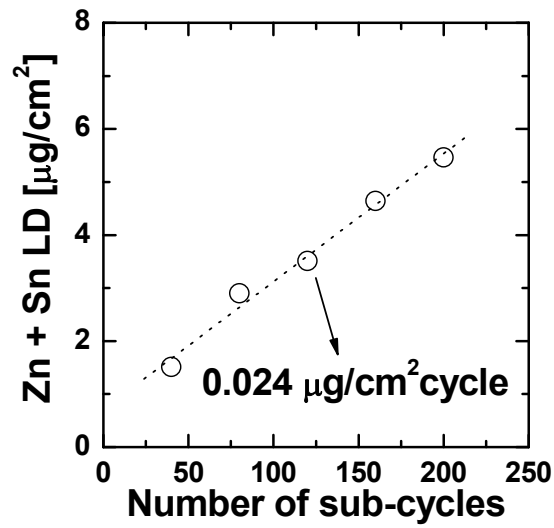


Figure 4-5. Total growth rate of ZTO thin film on Si

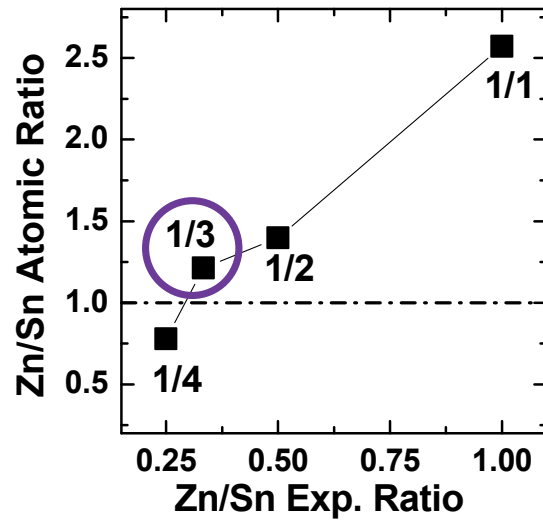


Figure 4-6. Atomic ratio of Zn to Sn with regard to sub cycle ratio of Zn to Sn

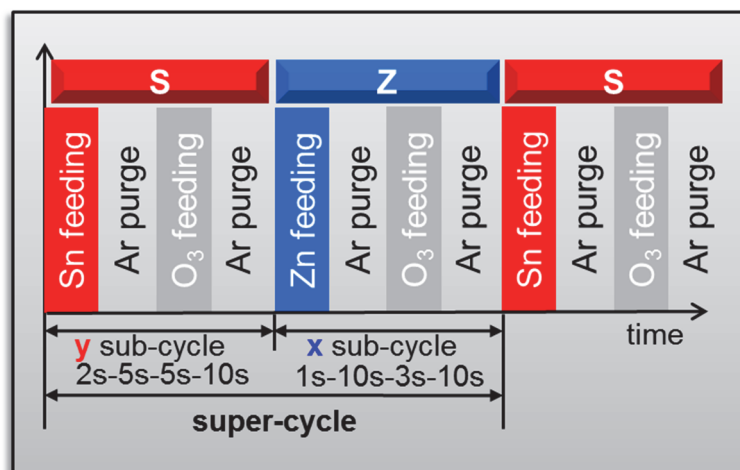


Figure 4-7. Schematic diagram of ALD process of ZnSnO

4.1.2 ZTO 박막의 특성 분석

ZTO 박막의 물리적 특성을 분석하기에 앞서 AES depth profile 분석을 통해 박막 내 Zn:Sn 조성비 및 탄소 불순물의 함량을 조사하였다. 이상적인 ALD 반응이 진행되지 않았을 경우 전구체를 구성하는 탄소가 박막 내에 잔류하거나 깊이에 따라 조성이 달라질 수 있다. 150 °C 의 증착 온도에서 증착한 ZTO 박막에 대한 AES depth profile 분석 결과를 [Figure 4-8]에 나타내었다. 분석 결과, 두 샘플 모두 박막 깊이와 관계 없이 Zn:Sn 비율이 거의 일정하게 유지됨을 확인할 수 있었다. 또한 박막 내 탄소 함량은 ~3 at% 미만이거나 검출 한계에 도달하여 ZTO 박막이 불순물 없이 균일하게 증착되었음을 확인할 수 있었다.

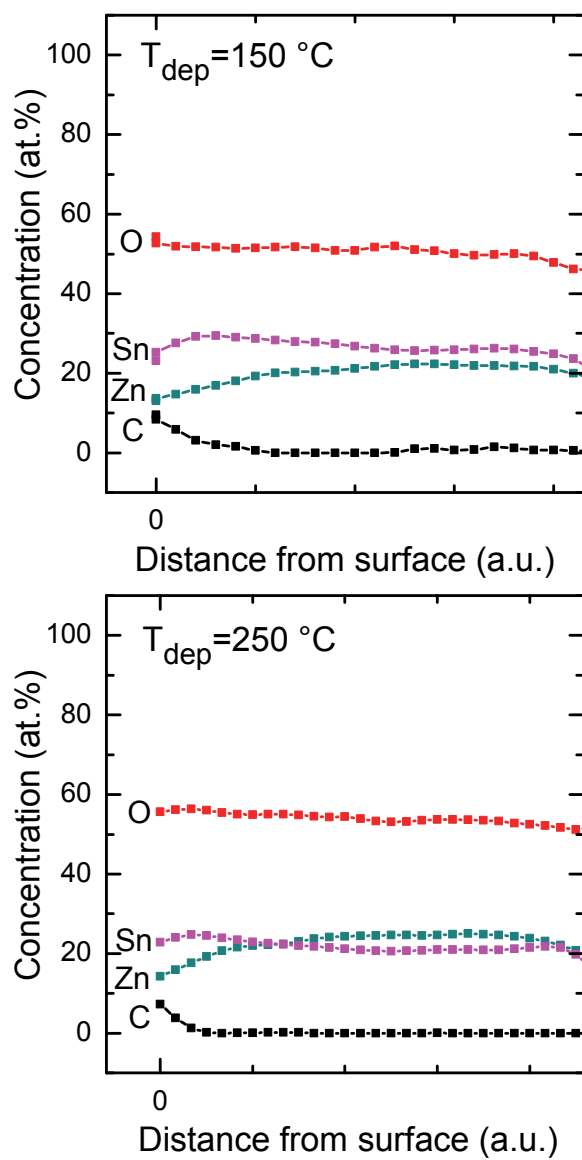


Figure 4-8. AES depth profiles of ZTO films deposited at 150 °C (upper) and 250 °C (lower) with $\text{Zn}/(\text{Zn}+\text{Sn}) \approx 0.5$ composition.

다음은 열처리 온도에 따른 ZTO 박막의 결정화 양상을 조사하기 위하여 GAXRD 분석을 진행하였다. 다성분계 산화물 반도체는 일반적으로 높은 온도에서도 비정질상을 안정하게 유지하여 다결정 실리콘에 비해 대면적 응용에 유리하다는 장점을 가진다. 열처리의 목적은 채널막의 어닐링을 통해 TFT의 안정적인 특성을 확보하기 위함이다. 150 °C 및 250 °C 의 증착 온도에서 성장시킨 각 ZTO 박막에 대해 대기 분위기의 튜브 퍼니스에서 600 °C, 700 °C, 800 °C 의 온도 조건으로 1시간 동안 열처리를 진행하였고, 이에 대한 GAXRD 측정 결과는 [Figure 4-9]에 도시하였다. 결정화 양상 분석을 통해 ZTO 박막이 비정질상을 유지할 수 있는 가장 높은 열처리 온도를 확인하고자 하였다. 측정 결과 분석한 박막의 두께(150 °C 에서 증착한 박막은 약 30 nm, 250 °C 에서 증착한 박막은 약 10 nm)에 차이가 있어 peak의 강도에 차이가 있었으나, 700 °C 이상의 열처리 온도에서 ZnSnO_3 의 (012)면 및 (110)면에 해당하는 peak이 발생한 것이 확인되었다. 따라서 열처리 온도는 비정질 상을 유지하면서 채널막의 어닐링을 통한 TFT 동작 특성 안정화를 기대할 수 있는 600 °C 를 열처리 온도로 설정하여 실험을 진행하였다.

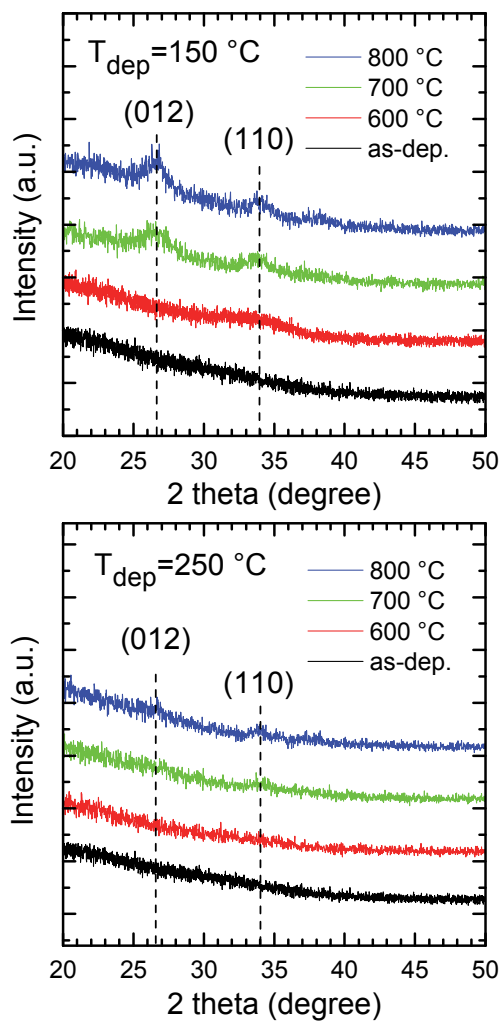


Figure 4-9. Glancing angle X-ray diffraction (GAXRD) patterns of as-deposited and annealed ZnSnO films deposited at 150 $^{\circ}\text{C}$ (upper) and 250 $^{\circ}\text{C}$ (lower).

XRR 측정 및 시뮬레이션 분석을 통해 증착한 ZTO 박막의 열처리 공정에 따른 박막 밀도를 계산하였다. 150 °C, 250 °C의 증착 온도에서 증착한 1:1 Zn:Sn 조성의 ZTO 박막을 600 °C의 온도에서 열처리하여 이에 따른 밀도 변화를 분석하였고, 그 분석 결과를 [Figure 4-10]에 그래프로 나타내었다. 먼저 열처리 이전 as-deposited 상태의 ZTO 박막의 경우 증착 온도가 높을수록 높은 밀도의 박막이 증착되는 것이 확인되었다. 150 °C, 250 °C에서 증착한 as-deposited ZTO 박막의 밀도는 각각 2.70 g/cm³, 5.47 g/cm³ 이었다. 250 °C에서 증착한 박막의 밀도는 결정질 Zn₂SnO₄의 이론적인 박막 밀도로 알려진 ~6.52 g/cm³에 근사하는 값으로, 매우 우수한 박막 밀도 특성을 나타내었다. 열처리 과정을 통해 모든 ZTO 박막은 밀도가 증가하는 경향을 나타내었다. 2.70 g/cm³의 매우 낮은 박막 밀도를 나타낸 증착온도 150 °C 조건의 ZTO 박막은 열처리 후 밀도가 증가하여 3.79 g/cm³의 박막 밀도를 나타내었다. 이는 열처리 전의 박막 밀도와 비교하였을 때 큰 폭으로 증가한 것이었으나, 250 °C에서 증착한 ZTO 박막의 열처리 전 박막의 밀도에도 미치지 못하는 낮은 밀도이었다. 한편 증착 온도 250 °C 조건의 ZTO 박막은 이미 결정질 수준의 높은 밀도를 나타내었으므로 열처리에 의한 밀도 증가량은 크지 않았고 5.69 g/cm³로 증가하였다. 종합하여, 증착 온도

150 °C 조건의 박막 반면, 250 °C 조건의 박막은 as-deposited 상태에서도 결정질 ZTO의 이론적 밀도에 근사하여 열처리 과정에서의 부피 변화 또한 거의 나타나지 않은 가장 우수한 고밀도의 막질을 나타내었다.

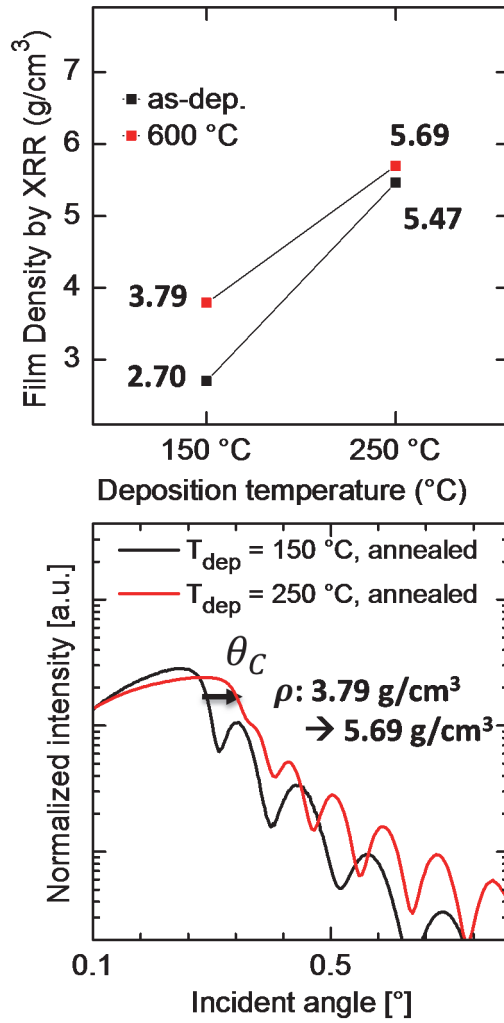


Figure 4-10. (a) The change in the density of the ZnSnO films depending on deposition temperature and annealing process, determined from best-simulated results. (b) Comparison of X-ray reflectivity (XRR) spectra for the films deposited at 150 °C and 250 °C, and annealed at 600 °C.

ZTO 박막의 증착 온도 및 열처리 온도 변화에 따른 표면 형상 변화를 관찰하기 위해 AFM 및 SEM 분석을 진행하였다. 150 °C 및 250 °C 의 증착온도 조건에서 증착한 ZTO 박막을 대기 분위기의 튜브 퍼니스를 통해 600 °C 에서 1시간 동안 열처리 하였으며 이에 따른 표면 형상의 변화 및 RMS roughness를 AFM을 통해 관찰하였다. [Figure 4-11] AFM 측정을 통해 계산된 ZTO 박막의 RMS roughness 값은 150 °C 의 증착 온도 조건에서 열처리 전 1.658 nm, 열처리 후 1.565 nm 였으며, 250 °C 의 증착 온도 조건에서 열처리 전 0.395 nm, 열처리 후 0.321 nm 으로 나타났다. 150 °C 에서 증착한 ZTO 박막은 250 °C 에서 증착한 ZTO 박막에 비해 비교적 높은 RMS roughness 값과 함께 거친 표면 형상을 나타내었다. 열처리 공정을 진행함에 따라 각 증착 온도 조건의 ZTO 박막 모두 RMS roughness 값이 감소하며 표면 거칠기 개선되는 결과를 나타내었으나, 표면 거칠기의 감소폭은 150 °C 에서 증착한 ZTO 박막의 경우가 훨씬 높았으며, 표면 현상의 변화 또한 심하게 나타났다. 증착 온도 150 °C 조건의 ZTO 박막은 열처리 과정에서 박막 표면부의 포어(pore)가 붕괴되며 발생한 것으로 추정되는 수 나노미터 크기의 표면 미세조직이 관찰되었고, 해당 미세조직에 대한 SEM 관찰[Figure 4-12]에서도 동일한 형상의 표면 미세조직을 관찰할 수 있었다. 즉, 증착

온도 150 °C 조건의 ZTO 박막은 박막 내부에 수 나노미터 크기의 수많은 pore들이 존재하는 다공성(porous) 구조의 박막인 것으로 분석되었으며, 이를 통해 XRR 분석에서 밝혀진 증착 온도 150 °C 조건 ZTO 박막의 매우 낮은 밀도 또한 pore에 기인하는 것으로 생각할 수 있다.

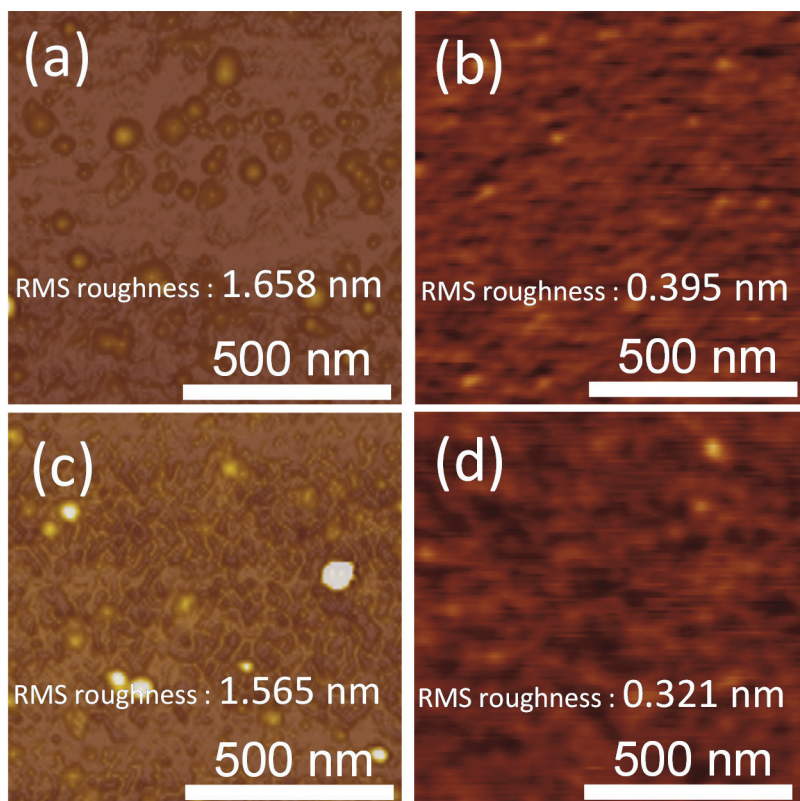


Figure 4-11. AFM images of ZTO thin film; (a) $T_{\text{dep}}=150\text{ }^{\circ}\text{C}$, as-deposited; (b) $T_{\text{dep}}=250\text{ }^{\circ}\text{C}$, as-deposited; (c) $T_{\text{dep}}=150\text{ }^{\circ}\text{C}$, 600 $^{\circ}\text{C}$ annealed; (d) $T_{\text{dep}}=250\text{ }^{\circ}\text{C}$, 600 $^{\circ}\text{C}$ annealed, respectively.

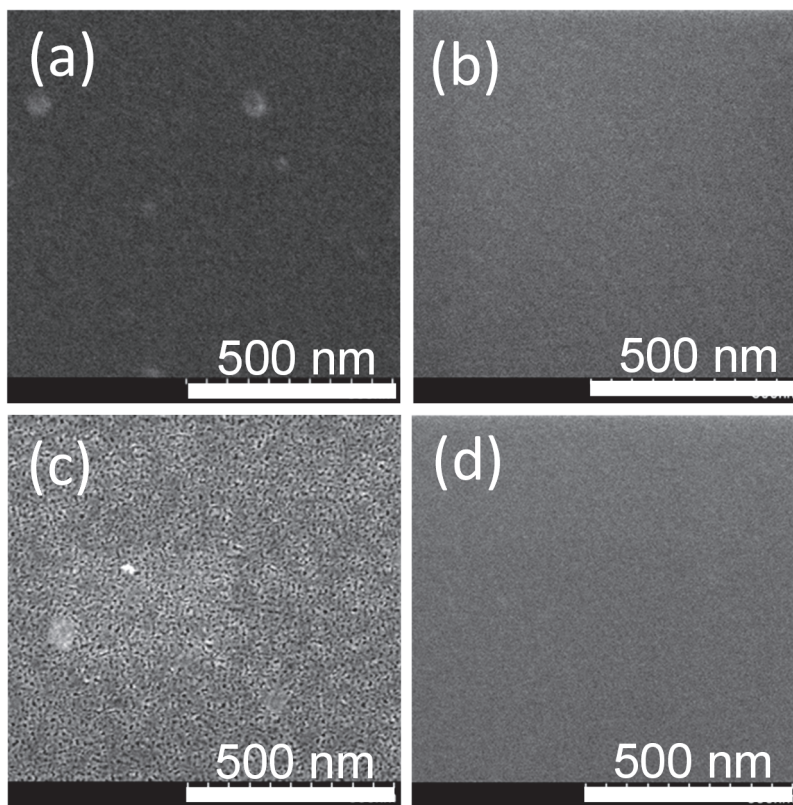


Figure 4-12. SEM image of ZTO thin film: (a) $T_{\text{dep}}=150\text{ }^{\circ}\text{C}$, as-deposited; (b) $T_{\text{dep}}=250\text{ }^{\circ}\text{C}$, as-deposited; (c) $T_{\text{dep}}=150\text{ }^{\circ}\text{C}$, $600\text{ }^{\circ}\text{C}$ annealed; (d) $T_{\text{dep}}=250\text{ }^{\circ}\text{C}$, $600\text{ }^{\circ}\text{C}$ annealed, respectively.

4.2 ZTO 박막을 채널막으로 적용한 TFT의 동작 특성

150 °C 및 250 °C에서 증착한 ZTO 박막을 채널막으로 하는 TFT 소자를 포토리소그래피 공정을 통해 제작하여 그 동작 특성에 대한 분석을 진행하였다. TFT는 bottom-gate (inverted) staggered의 구조로 제작되었다. p⁺⁺ Si 기판을 게이트로 사용하였고, 반도체 공동 연구소에서 열산화 공정을 통해 성장시킨 100 nm 두께의 SiO₂ 열산화막을 절연막으로 사용하였다. 소스 및 드레인의 전극으로는 e-gun evaporator로 증착한 100 nm 두께의 Ti를 사용하였다. ZTO 채널막은 증착 사이클을 조절하여 두께가 45 nm 가 되도록 하였다. ZTO 채널막 및 contact hole의 패터닝은 20:1 HF 수용액과 BOE를 각각 사용한 습식 식각으로 진행되었고, 소스 및 드레인의 패터닝은 리프트 오프 공정을 통해 진행되었다.

소자의 제작 과정 중, 채널 패터닝 공정 이후 ZTO 채널막에 대한 열처리가 대기 분위기의 튜브 퍼니스를 통해 300 °C에서 1 시간 동안 진행되었다. 채널막 열처리 여부 및 증착 온도 차이에 따른 ZTO TFT 소자의 전달 특성을 [Figure 4-13]에 도시하였으며, 각 소자의 특성을 [Table 4-1]에 정리하였다. 채널막 열처리를 진행하지 않은 TFT 소자는

증착 온도에 따라 각기 다른 전달 특성을 나타내었다. 증착 온도 150 °C의 ZTO TFT 소자는 절연 특성이 강하게 나타나 양의 게이트 전압을 인가하여도 on 되지 않고 normally off 상태를 유지하였으며, 증착 온도 250 °C의 ZTO TFT 소자는 도체 특성이 강하게 나타나 음의 게이트 전압을 인가하여도 off 되지 않고 normally on 상태를 유지하였다. 600 °C의 열처리를 거친 후에는 두 증착 온도 조건의 소자 모두 게이트 전압을 인가함에 따라 소자의 on - off 가 구분되는 일반적인 TFT 전달 특성을 나타내었다. 열처리한 TFT의 전달 특성 분석 결과, 증착 온도 150 °C 조건의 ZTO TFT는 포화 이동도가 $\sim 1 \text{ cm}^2/\text{Vs}$, $I_{\text{on}}/I_{\text{off}}$ 비율이 $\sim 7.7 \times 10^5$, S.S.가 0.20 V/dec., 문턱 전압이 0.80 V 인 특성을 얻을 수 있었으며, 증착 온도 250 °C 조건의 ZTO TFT는 전계 효과 이동도가 24.5 cm^2/Vs , 포화 이동도가 11.9 cm^2/Vs , $I_{\text{on}}/I_{\text{off}}$ 비율이 $\sim 2.3 \times 10^7$, S.S.가 0.80 V/dec., 문턱 전압이 -7.60 V 로 증착 온도 150 °C 조건에서 제작한 TFT에 비해 이동도 및 $I_{\text{on}}/I_{\text{off}}$ 비율 측면에서 월등히 우수한 특성을 나타내었다. On current 또한 드레인 전압 10 V, 게이트 전압 20 V 조건에서 증착 온도 150 °C 조건의 ZTO TFT는 5×10^{-8} 수준의 매우 낮은 크기를 나타낸 반면, 250 °C 조건의 ZTO TFT는 1×10^{-4} 수준으로 10^3 배 이상의 큰 차이를 나타내었다.

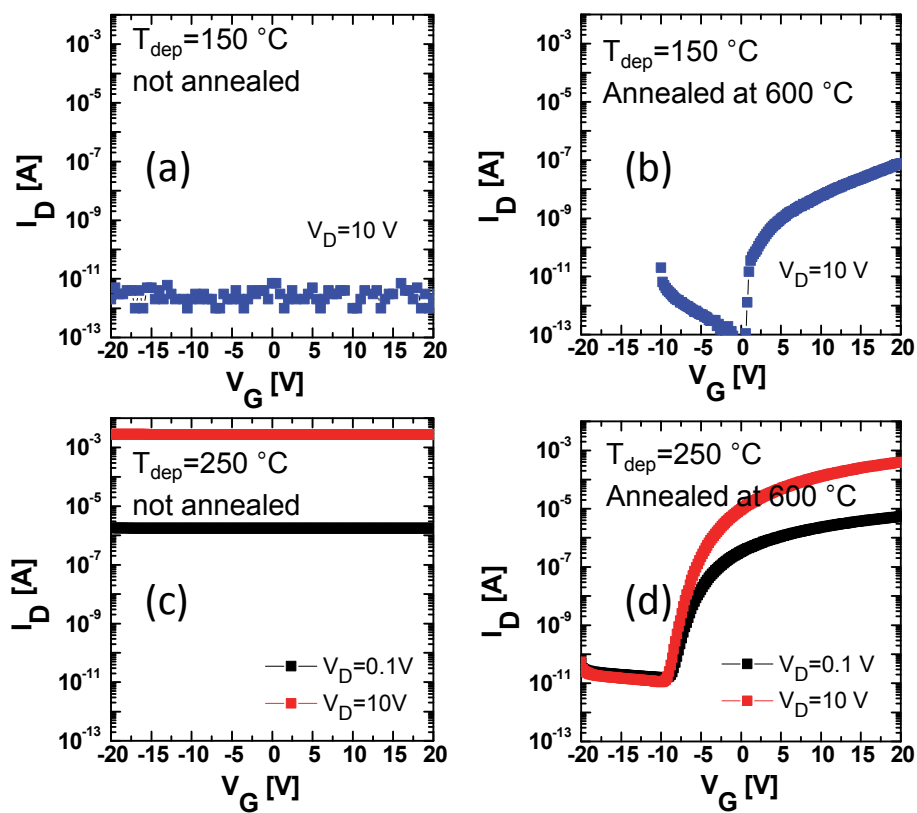


Figure 4-13. Transfer characteristics of ZTO TFTs; deposited at 150°C (a) without annealing or (b) annealed at 600°C , deposited at 250°C (c) without annealing or (d) annealed at 600°C .

일반적으로 as-deposited 상태의 산화물 반도체 박막은 캐리어의 농도가 매우 높아서 전기 전도성이 매우 높으므로 정상적으로 off 시키는 것이 불가능하거나 매우 높은 off current 특성을 나타낸다는 것이 많은 이전 연구들에서 보고되어 왔다. 본 연구에서 제작한 증착 온도 250 °C 조건의 ZTO TFT의 채널막 열처리에 따른 경향이 또한 그와 일치하는 결과이다. 증착 온도 250 °C 조건의 ZTO TFT는 채널막 열처리 전 산소 공공의 농도 및 이에 따른 자유 캐리어의 농도가 매우 높아 도체 특성을 나타내었으나, 열처리 공정을 거치면서 산소 공공의 농도가 효과적으로 감소하고 이에 따라 자유 캐리어의 농도 또한 적절한 수준으로 감소하면서 정상적인 TFT 전달 특성을 나타낼 수 있었다고 설명할 수 있다. 한편, 열처리 전 강한 절연 특성을 나타내었으나 열처리 공정을 거치면서 정상적인 TFT 전달 특성을 나타낸 증착 온도 150 °C 조건의 ZTO 채널막의 열처리 전후 전달 특성 변화 현상은 박막 내에 존재하는 수많은 포어의 영향에 의한 것으로 생각할 수 있다. 열처리 전에는 밀도가 매우 낮고 포어가 매우 많은 박막 특성에 기인하는 절연 특성이 나타났고, 열처리 과정을 통해 포어의 농도가 감소하면서 박막의 밀도가 높아지고 이에 따라 포어의 영향이 감소하면서 일반적인 TFT 전달 특성이 나타날 수 있었던 것으로 생각할 수 있다. 한편, 증착 온도 150 °C

조건의 ZTO 박막은 열처리 공정을 거친 후에도 여전히 낮은 밀도를 나타내고 있음을 박막의 XRR 분석 결과를 통해 알 수 있고, 따라서 포어가 완전히 제거되지 않은 상태임을 알 수 있으며, 박막에 존재하는 포어가 박막의 이동도 열화의 원인으로 작용하는 것으로 생각할 수 있다.

박막 내 포어에 의한 소자 특성 변화는 percolation 이론을 통하여 자세히 설명할 수 있다. Percolation 이론은 특정 공간 내에 불규칙하게 분포하는 입자의 연결성을 설명하는 이론이며, porous한 재료 내에서의 전자의 전도 현상 또한 이를 통해 설명할 수 있다. 먼저 Staggered 구조의 TFT에서 소스로부터 드레인까지 전자가 이동하는 경로는 소스 및 드레인에서 accumulation layer까지의 수직 방향 경로 및 accumulation layer 내에서의 수평 방향 경로로 구분할 수 있는데, 수직 방향 경로의 길이인 채널막의 두께(40 nm)는 수평 방향 경로의 길이인 채널 길이(20 μm)와 비교하였을 때 무시할 수 있을 만큼 짧으므로 수평 방향의 accumulation layer 만을 전도 경로로 한정하여 생각할 수 있고, accumulation layer의 두께는 수 nm 이므로 이차원으로 근사하여 생각할 수 있다. [Figure 4-14]은 게이트 전압 인가 시 채널막과 게이트 유전막 계면부에 형성되는 accumulation layer를 이차원으로 근사하여 간단히 나타낸 그림이다. 노란색으로 표시된 매트릭스를 ZTO accumulation layer,

파란 원을 pore라고 생각했을 때, 포어의 농도, 즉, porosity가 충분히 낮을 때는 소스(위)와 드레인(아래)을 잇는 전도 경로(빨간선)가 형성될 수 있고, 이를 통해 전자가 이동하는 것이 가능하다. 그러나 porosity가 일정 수준 이상으로 증가하게 되면, 소스와 드레인을 잇는 전도 경로를 형성하는 것이 불가능해지고, 이에 따라 재료는 강한 절연 특성을 나타내게 된다. 위 두 현상 사이의 경계를 percolation threshold라고 부르며, 이 percolation threshold를 경계로 하여 소스와 드레인을 연결하는 전도 경로가 형성될 확률(connectivity)이 급격히 감소함이 수학적으로 증명되어 있다. 즉, accumulation layer는 percolation threshold 이상의 porosity에서 매우 높은 확률로 pore에 의해 전도 경로를 형성할 수 없게 되어 매우 낮은 전기전도도를 나타내며 강한 절연 특성을 나타내게 된다.

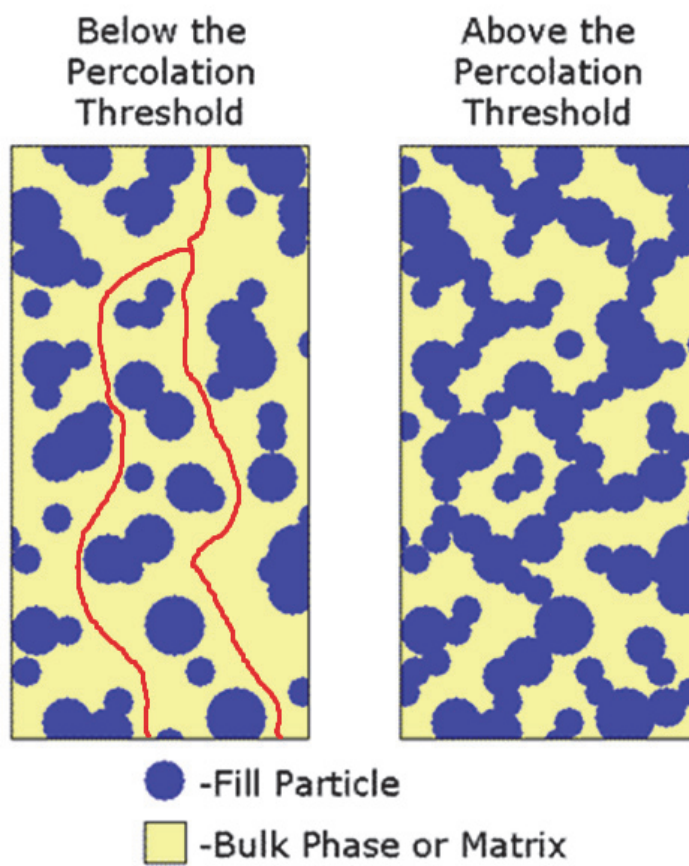


Figure 4-14. Schematic diagram of accumulation layer of ZTO channel layer with regard to its percolation threshold.

Percolation에 의한 conductivity 변화는 근사를 통하여 다음과 같은 식으로 나타낼 수 있으며, 그래프로 나타내면 [Figure 4-15]와 같다.

$$\sigma = \sigma_m \left(\frac{\theta_c - \theta}{\theta_c} \right)^t$$

(σ_m 은 벌크 전기전도도, θ 는 porosity, θ_c 는 percolation threshold, t 는 characteristic exponent.)

그래프를 통해 알 수 있듯이 percolation threshold 이상의 porosity에서는 재료가 절연특성을 나타내게 되며, percolation threshold 이하에서는 porosity가 감소함에 따라 conductivity가 t 에 의존하여 단조 증가한다. 열처리를 진행하지 않은 증착 온도 150 °C 조건의 ZTO TFT는 porosity가 percolation threshold 이상으로 높기 때문에 강한 절연 특성을 보였던 것이라고 생각할 수 있으며, 전달 특성을 나타내었으나 열화된 특성을 나타낸 열처리를 거친 증착온도 150 °C 조건의 ZTO TFT는 porosity가 percolation threshold 보다는 낮지만 여전히 낮은 박막 밀도 및 높은 porosity를 가지므로 벌크 전도도에 미치지 못하는 열화된 이동도 특성을 나타내었다고 생각할 수 있다.

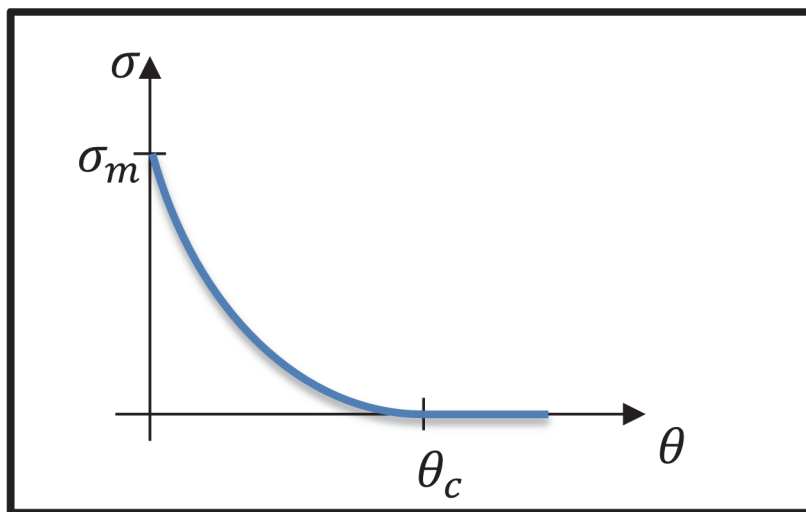


Figure 4-15. 2-D percolation model for electrical conductivity of porous material near percolation threshold

Parameters	deposition temperature	
	150 °C	250 °C
μ_{FE} (cm ² /Vs)	-	24.5
μ_{SAT} (cm ² /Vs)	~1	11.9
I_{on}/I_{off} ratio	$\sim 7.7 \times 10^5$	$\sim 2.3 \times 10^7$
S.S. (V/dec)	0.20	0.80
V_{th} (V)	0.80	-7.60

Table 4-1. Transfer characteristics of ZTO TFTs of different deposition temperatures, 150 °C and 250 °C .

한편, 증착 온도 250 °C 조건의 ZTO TFT에서 무시할 수 없는 수준의 게이트 누설 전류가 발생하였음을 확인하였다. 인가 전압에 따른 게이트 누설 전류의 절대값을 드레인 전류와 함께 [Figure 4-16]에 나타내었다. 해당 게이트 누설 전류의 발생으로 인해 소자의 S.S 값이 보다 높게 측정되었으며, 높은 수준의 off 전류를 발생시켰다. 본 문제는 공정 상의 문제로 인하여 형성되어 식각 과정에서 완전히 제거되지 못한, SiO₂ 절연막과 ZTO 채널막 사이 계면에 존재하는 미지의 반응층으로 인해 발생한 것으로 추측되고 있다. 반응층은 매우 얇은 두께를 가지며 conducting한 특성을 가지고 있는 것으로 추측되며, 음의 방향으로의 문턱 전압 이동 또한 반응층의 존재에 의한 것으로 추정된다. 공정 조건의 최적화를 통해 반응층의 생성 원인을 규명하고 이를 해소함으로써 더 높은 크기의 이동도와 우수한 S.S 특성을 나타내는 우수한 전달 특성의 ZTO TFT를 제작할 수 있을 것으로 기대된다.

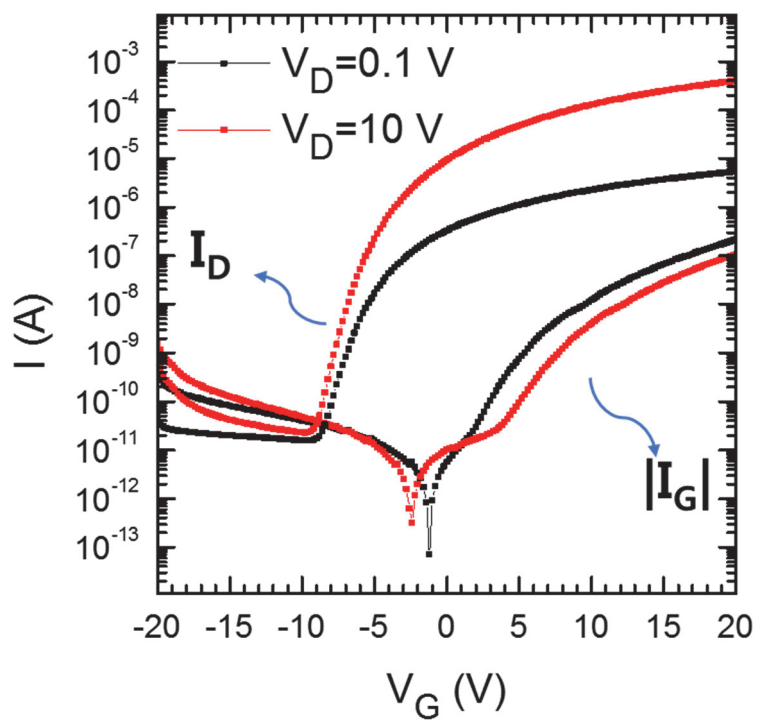


Figure 4-16. Gate leakage of ZTO TFT deposited at 250 °C

5. 결론

기존 Si 기반 반도체 재료의 한계를 극복하여 이를 대체할 것으로 기대되고 있는 비정질 산화물 반도체 중, 인듐을 포함하지 않으면서도 비교적 우수한 특성을 나타내어 가격이 비싼 IGZO를 대체할 수 있을 것으로 주목 받고 있는 zinc tin oxide 산화물 반도체를 ALD로 증착하였고, 증착 온도 조절에 따른 밀도 향상을 통해 우수한 특성을 나타내는 ZTO TFT를 제작하고 밀도와 이동도의 상관관계에 대한 분석을 보고하였다.

ZnO의 ALD 증착에는 CVD 및 ALD에서 ZnO 증착의 전구체로서 널리 사용되고 있는 DEZn(diethyl zinc, $(C_2H_5)_2Zn$)를 사용하였으며, Sn 전구체로는 한국화학연구원(KRICT)에서 공급받은 신규 전구체인 $Sn(dmamp)_2$ 를 사용하였다. 두 전구체 모두 150 °C에서 ALD의 자기제한적 성장거동을 나타내었으며 이를 바탕으로 하여 증착 사이클을 구성하고, 안정적인 ALD 증착 거동을 확인하였다. ZTO의 증착은 ZnO 및 SnO_2 의 증착 사이클을 교번으로 배치하여 진행하였고, Zn와 Sn의 비율은 ZnO 및 SnO_2 의 서브사이클 비율의 조절을 통해 조절하였다. 실험에 사용한 ZTO 채널막의 증착에는 가장 우수한 특성을 나타내는 조성으로 알려진 1:1 조성을 사용하였다.

150 °C와 250 °C의 증착 온도 조건에서 각각 증착한 ZTO 박막에 대한

특성 분석을 진행하였고, 이를 채널막으로 이용하여 제작한 TFT의 특성 또한 분석하였다. AES 분석 결과 150 °C에서 증착한 ZTO 박막과 250 °C에서 증착한 ZTO 박막 모두 두께 방향으로 균일한 화학조성을 나타냄이 확인되었고, 탄소의 함량은 ZTO bulk 내에서 5 at% 이하로 검출되어 안정적인 증착이 진행되었음을 확인할 수 있었다. 이후 두 증착 온도 조건의 박막을 공기 분위기의 튜브 퍼니스를 통해 600 °C, 700 °C, 800 °C 조건에서 1시간동안 열처리하여 XRD 분석을 진행하였다. XRD 분석 결과 두 박막 모두 700 °C 이상의 열처리 온도에서 ZnSnO_3 에 해당하는 peak이 나타나며 부분적으로 결정화가 진행되는 것이 확인되었으며, 따라서 600 °C의 열처리 온도를 선택하였다. 증착 온도 및 열처리 온도에 따른 밀도 변화를 확인하고자 XRR 분석을 진행하였다. XRR 분석 결과 150 °C에서 증착한 ZTO 박막은 열처리 전 2.70 g/cm^3 의 매우 낮은 밀도를 나타내었으며, 열처리 후 밀도가 증가하였으나 여전히 3.79 g/cm^3 의 낮은 밀도를 나타내었다. 반면 250 °C의 증착한 ZTO 박막은 열처리 전 5.47 g/cm^3 의 밀도를 나타내었는데, 이는 고밀도 결정질 ZTO 박막의 이론적인 밀도 값인 약 $\sim 6 \text{ g/cm}^3$ 에 근사하는 매우 높은 값으로, 매우 우수한 박막이 형성되었음을 확인할 수 있었다. 해당 박막은 열처리 후에 밀도가 조금 증가하였으나 이미 충분히 높은 밀도를

가지고 있으므로 밀도의 큰 증가는 나타나지 않았다. 150 °C 에서 증착한 ZTO 박막의 낮은 밀도로부터 해당 박막은 매우 porous한 구조 혹은 원자 조밀도가 비교적 낮은 상태임을 추측할 수 있었으며 이를 확인하고자 AFM 및 SEM 분석을 통해 표면 형상 관찰을 진행하였다. AFM 및 SEM 분석 결과, 150 °C 에서 증착한 ZTO 박막의 RMS roughness가 250 °C 에서 증착한 ZTO 박막에 비해 훨씬 높은 값을 가지는 것으로 나타났으며, smooth 한 표면 형상을 나타낸 250 °C 증착 조건의 ZTO 박막과 달리 150 °C 에서 증착한 ZTO 박막은 열처리 과정에서 pore가 붕괴하면서 형성된 것으로 추정되는 미세조직이 관찰되었다. AFM 및 SEM 분석을 통해 150 °C 에서 증착한 ZTO 박막의 porous한 박막 상태를 확인할 수 있었다.

박막 분석 결과를 바탕으로, 150 °C 및 250 °C 에서 증착한 ZTO 박막을 이용한 TFT를 포토리소그래피 공정을 통해 제작하였고, 채널막은 600 °C 에서 열처리를 진행하였다. TFT 전달 특성을 분석한 결과 250 °C 에서 증착한 고밀도의 ZTO 박막을 이용한 TFT가 150 °C 에서 증착한 저밀도의 ZTO 박막을 이용한 TFT에 비해 매우 우수한 전달 특성을 나타내었다. 증착 온도 150 °C 조건의 ZTO TFT는 포화 이동도가 $\sim 1 \text{ cm}^2/\text{Vs}$, $I_{\text{on}}/I_{\text{off}}$ 비율이 $\sim 7.7 \times 10^5$, S.S.가 0.20 V/dec. 인 특성을 얻을 수

있었으며, 증착 온도 250 °C 조건의 ZTO TFT는 전계 효과 이동도가 24.5 cm²/Vs, 포화 이동도가 11.9 cm²/Vs, I_{on}/I_{off} 비율이 $\sim 2.3 \times 10^7$, S.S.가 0.80 V/dec. 로 증착 온도 150 °C 조건에서 제작한 TFT에 비해 이동도 및 I_{on}/I_{off} 비율 측면에서 월등히 우수한 특성을 나타내었다. 150 °C 에서 증착한 저밀도 ZTO 박막의 이동도 저하를 percolation 이론을 통해 설명하였다. Porous한 재료의 전기 전도도는 pore의 농도, 즉, porosity가 증가함에 따라 감소하고, percolation threshold 이하의 porosity에서는 connectivity가 급격히 감소하여 재료가 절연 특성을 나타내게 되는데, 이러한 경향이 증착 온도 150 °C 조건의 TFT 의 열처리에 따른 밀도 변화 및 porosity 변화의 경향과 일치함을 확인할 수 있었고, 이를 통해 증착 온도 150 °C 조건의 TFT의 이동도 저하 원인을 설명할 수 있었다.

한편, 증착 온도 250 °C 조건의 ZTO TFT에서 무시할 수 없는 수준의 게이트 누설 전류가 발생하였음을 확인하였는데, 공정 상의 문제로 인하여 발생한 것으로 추측되는 이 반응층은 식각 과정에서 완전히 제거되지 못한 것으로 추측되며, 반응층의 conducting한 특성으로 인해 음의 방향으로의 문턱 전압 이동 및 높은 게이트 누설 전류가 발생한 것으로 추정하였다. 공정 조건의 최적화를 통해 해당 반응층의 생성을 억제함으로써 더 우수한 특성을 나타내는 ZTO TFT를 제작할 수 있을

것으로 기대하였다.

6. 참고문헌

1. Yang, B. S.; Oh, S.; Jang Kim, Y.; Jin Han, S.; Woo Lee, H.; Jin Kim, H.; Kyung Park, H.; Kyeong Jeong, J.; Heo, J.; Seong Hwang, C.; Joon Kim, H., Effect of sputter power on the photobias stability of zinc-tin-oxide field-effect transistors. *Journal of Vacuum Science & Technology B* **2014**, 32 (1), -.
2. Lee, S. Y.; Kim, H. K.; Lee, J. H.; Yu, I.-H.; Lee, J.-H.; Hwang, C. S., Effects of O₃ and H₂O as oxygen sources on the atomic layer deposition of HfO₂ gate dielectrics at different deposition temperatures. *Journal of Materials Chemistry C* **2014**, 2 (14), 2558-2568.
3. Nomura, K.; Ohta, H.; Takagi, A.; Kamiya, T.; Hirano, M.; Hosono, H., Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors. *Nature* **2004**, 432 (7016), 488-492.
4. Kovacheva, D.; Petrov, K., Preparation of crystalline ZnSnO₃ from Li₂SnO₃ by low-temperature ion exchange. *Solid State Ionics* **1998**, 109 (3-4), 327-332.
5. Yu-Sheng, S.; Tian-Shu, Z., Preparation, structure and gas-sensing properties of ultramicro ZnSnO₃ powder. *Sensors and Actuators B: Chemical* **1993**, 12 (1), 5-9.
6. Young, D. L.; Moutinho, H.; Yan, Y.; Coutts, T. J., Growth and characterization of radio frequency magnetron sputter-deposited zinc stannate, Zn₂SnO₄, thin films. *Journal of Applied Physics* **2002**, 92 (1), 310.

7. Chiang, H. Q.; Wager, J. F.; Hoffman, R. L.; Jeong, J.; Keszler, D. A., High mobility transparent thin-film transistors with amorphous zinc tin oxide channel layer. *Applied Physics Letters* **2005**, *86* (1), -.
8. Hoffman, R. L., Effects of channel stoichiometry and processing temperature on the electrical characteristics of zinc tin oxide thin-film transistors. *Solid-State Electronics* **2006**, *50* (5), 784-787.
9. Goern, P.; Hoelzer, P.; Riedl, T.; Kowalsky, W.; Wang, J.; Weimann, T.; Hinze, P.; Kipp, S., Stability of transparent zinc tin oxide transistors under bias stress. *Applied Physics Letters* **2007**, *90* (6).
10. Goern, P.; Lehnhardt, M.; Riedl, T.; Kowalsky, W., The influence of visible light on transparent zinc tin oxide thin film transistors. *Applied Physics Letters* **2007**, *91* (19).
11. Jeon, H.-J.; Chung, K.-B.; Park, J.-S., Parabolic behavior of solution processed ZnSnO device performances depending on Zn/Sn ratios. *J Electroceram* **2014**, 1-5.
12. McDowell, M. G.; Sanderson, R. J.; Hill, I. G., Combinatorial study of zinc tin oxide thin-film transistors. *Applied Physics Letters* **2008**, *92* (1), 013502.
13. Kim, U. K.; Rha, S. H.; Kim, J. H.; Chung, Y. J.; Jung, J.; Hwang, E. S.; Lee, J.; Park, T. J.; Choi, J.-H.; Hwang, C. S., Study on the defects in metal-organic chemical vapor deposited zinc tin oxide thin films using negative bias illumination

stability analysis. *Journal of Materials Chemistry C* **2013**, *1* (40), 6695-6702.

14. Ylilammi, M., Monolayer thickness in atomic layer deposition. *Thin Solid Films* **1996**, *279* (1), 124-130.

15. Park, H.-S.; Min, J.-S.; Lim, J.-W.; Kang, S.-W., Theoretical evaluation of film growth rate during atomic layer epitaxy. *Applied Surface Science* **2000**, *158* (1), 81-91.

16. Puurunen, R. L., Growth Per Cycle in Atomic Layer Deposition: Real Application Examples of a Theoretical Model. *Chemical Vapor Deposition* **2003**, *9* (6), 327-332.

17. Lee, S. W.; Choi, B. J.; Eom, T.; Han, J. H.; Kim, S. K.; Song, S. J.; Lee, W.; Hwang, C. S., Influences of metal, non-metal precursors, and substrates on atomic layer deposition processes for the growth of selected functional electronic materials. *Coordination Chemistry Reviews* **2013**, *257* (23–24), 3154-3176.

Abstract

In this study, amorphous ZnSnO(ZTO) thin film was deposited by atomic layer deposition(ALD) and applied to thin film transistor(TFT) as active channel layer, and their physical and electrical characteristics were evaluated. ALD has an advantage of precise controllability over the stoichiometry of multi-component oxide by varying the ratio of sub-cycle of each element, enabling the deposition of high performance multi-component oxide thin films which are strongly affected by their chemical elemental composition. Furthermore, owing to its superior conformality characteristic, it exhibits high step coverage on complex structure, which is most suitable for fabrication of next generation 3-D devices. Deposition of ZTO thin film with ALD is done by repeating a super cycle process consisted of sub cycles for deposition of ZnO thin film and SnO₂ thin film, and the ratio of those sub cycles and the number super cycles were precisely controlled to form specific Zn:Sn composition and film thickness. Amorphous ZTO thin films with 1:1 Zn:Sn composition, known as the chemical composition showing the most superior transfer characteristics as TFT active channel layer, was deposited by varying deposition temperatures and evaluated with regard to different annealing conditions. Deposited ZTO thin film exhibited good uniformity and very low impurity content regardless of deposition temperature and dense thin film of better quality was obtained at higher deposition temperature. It was confirmed by XRR, AFM and SEM that ZTO thin film deposited at 150 °C has porous structure with low density Furthermore, ZTO

TFTs were fabricated via photo lithography process and their transfer characteristics according to deposition temperature and annealing condition were studied. Superior electrical characteristics with field-effect mobility of $24.5 \text{ cm}^2/\text{Vs}$ were obtained when ZTO channel layer was deposited at 150°C and annealed, whereas poor characteristics with $\sim 1 \text{ cm}^2/\text{Vs}$ were obtained when deposited at 150°C and annealed. It was analyzed that mobility reduction phenomena of ZTO TFTs with deposition temperature of 150°C were attributed to the reduction of electrical conductivity by pores inside the thin film, which was explained by percolation conduction.

Keywords : Atomic Layer Deposition (ALD), Amorphous oxide semiconductor, Zinc tin oxide (ZnSnO , ZTO), Thin film transistor (TFT), Electron mobility, percolation theory

Student number : 2012-23929

By Jun Shik Kim